

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

015030178 \*\*Image available\*\*

WPI Acc No: 2003-090695/200308

XPX Acc No: N03-071657

Display device driving method involves dividing frame period into multiple sub frame periods and determining emission of light from pixel in each of multiple sub frame periods

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); KOYAMA (KOYA-I)

Inventor: KOYAMA J

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020135313	A1	20020926	US 2002102480	A	20020321	200308 B
JP 2002351404	A	20021206	JP 200281081	A	20020322	200310
US 6693385	B2	20040217	US 2002102480	A	20020321	200413

Priority Applications (No Type Date): JP 200183286 A 20010322

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20020135313	A1		59	G09G-003/10	
JP 2002351404	A		40	G09G-003/30	
US 6693385	B2			G09G-003/30	

Abstract (Basic): US 20020135313 A1

NOVELTY - A constant current signal is input into a pixel to emit light with constant luminance and a frame period is divided into multiple sub frame periods. The light emission from a pixel is determined in each of the multiple sub frame periods.

USE - For driving a TFT EL device integral as part of e.g. a portable terminal, a personal computer, an image reproduction device, a television a head mounted display and a video camera.

ADVANTAGE - Since a frame period is divided into multiple frame periods and the emission of light in each pixel is determined for the

multiple sub frame periods, the uneven display is avoided and the reduction is improved.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the display device.

pp; 59 DwgNo 1/29

Title Terms: DISPLAY; DEVICE; DRIVE; METHOD; DIVIDE; FRAME; PERIOD;  
MULTIPLE; SUB; FRAME; PERIOD; DETERMINE; EMIT; LIGHT; PIXEL; MULTIPLE;  
SUB; FRAME; PERIOD

Derwent Class: P85; T01; T04; U12; U14; W03; W04

International Patent Class (Main): G09G-003/10; G09G-003/30

International Patent Class (Additional): G09G-003/20; H05B-033/14

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-351404

(P 2 0 0 2 - 3 5 1 4 0 4 A)

(43) 公開日 平成14年12月6日(2002.12.6)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G09G 3/30		G09G 3/30	K 3K007
3/20	611	3/20	A 5C080
	624		B
	641		E
	642		A
審査請求 未請求 請求項の数 7 O L (全40頁) 最終頁に続く			

(21) 出願番号 特願2002-81081 (P 2002-81081)

(22) 出願日 平成14年3月22日(2002.3.22)

(31) 優先権主張番号 特願2001-83286 (P2001-83286)

(32) 優先日 平成13年3月22日(2001.3.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

F ターム(参考) 3K007 AB05 AB17 BA06 BB07 DB03

GA04

5C080 AA06 BB05 DD05 DD26 EE28

FF11 JJ02 JJ03 JJ04 JJ05

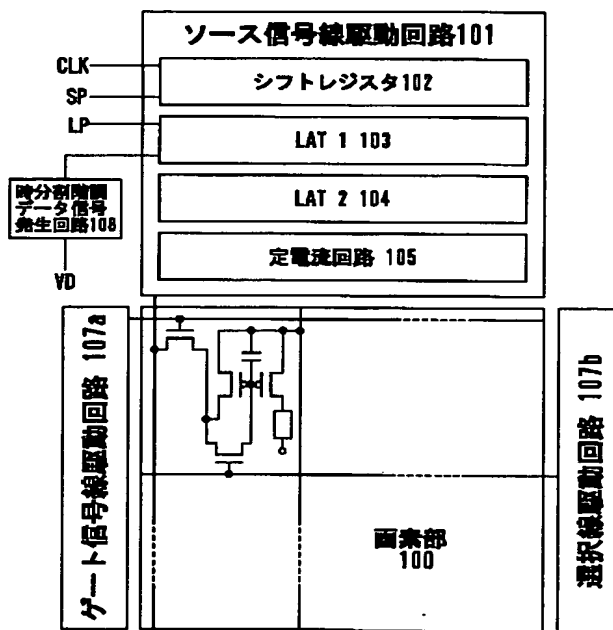
JJ06 KK02 KK07 KK43 KK47

(54) 【発明の名称】 表示装置の駆動方法

(57) 【要約】

【課題】 表示ムラの少なく、高階調化が可能で、消費電力を抑えることが可能な表示装置で、環境温度の変化によって画素の発光素子の輝度が変化しない表示装置の駆動方法を提供することを課題とする。

【解決手段】 電流駆動方式の、画素内にカレントミラー回路を有する構造の画素において、時間階調方式の駆動方法を適用する。また、切り換え信号によって、ソース信号線駆動回路がサンプリングするデジタル映像信号のビット数を減らすことによって、高階調の表示が必要ない場合の消費電力を抑えることができる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】画素へ一定の信号電流を入力し、  
前記一定の信号電流により、前記画素の発光素子を一定  
の輝度で発光させる表示装置の駆動方法であって、  
1 フレーム期間を複数のサブフレーム期間に分割し、  
前記複数のサブフレーム期間それぞれにおいて、前記画  
素の発光素子の発光状態または非発光状態を選択する表  
示装置の駆動方法。

【請求項 2】画素に、第 1 の電流を入力し、  
前記第 1 の電流を、電圧に変換し、  
前記電圧を保持し、  
前記電圧を、第 2 の電流に変換し、  
前記第 2 の電流を前記画素が有する発光素子に入力し、  
前記発光素子を一定の輝度で発光させる表示装置の駆動  
方法であって、  
1 フレーム期間を複数のサブフレーム期間に分割し、  
前記複数のサブフレーム期間それぞれにおいて、前記発  
光素子の発光状態または非発光状態を選択する表示装置  
の駆動方法。

【請求項 3】第 1 の薄膜トランジスタと、第 2 の薄膜ト  
ランジスタと、発光素子とを備えた画素を有し、  
前記画素に、第 1 の電流を入力し、  
前記第 1 の電流を、飽和領域で動作する前記第 1 の薄膜  
トランジスタの第 1 のドレイン電流とし、  
前記第 1 の薄膜トランジスタの第 1 のゲート電圧を保持  
し、  
前記第 1 のゲート電圧を、前記第 2 の薄膜トランジスタ  
の第 2 のゲート電圧とし、  
前記第 2 の薄膜トランジスタの第 2 のドレイン電流を前  
記発光素子に入力し、  
前記発光素子を一定の輝度で発光させる表示装置の駆動  
方法であって、

1 フレーム期間を、複数のサブフレーム期間に分割し、  
前記複数のサブフレーム期間それぞれにおいて、  
前記発光素子の発光状態または非発光状態を選択する表  
示装置の駆動方法。

【請求項 4】複数の画素を有し、  
前記複数の画素それぞれへ一定の信号電流を入力し、  
前記一定の信号電流により、前記複数の画素それぞれが  
有する発光素子を一定の輝度で発光させる表示装置の駆  
動方法であって、  
n (n は自然数) ビットのデジタル映像信号が入力され  
る駆動回路を有し、  
1 フレーム期間を n 個のサブフレーム期間に分割し、  
前記 n 個のサブフレーム期間それぞれにおいて、前記駆  
動回路は、前記 n ビットのデジタル映像信号の第 1 位ビ  
ットのデジタル信号から第 n 位ビットのデジタル信号そ  
れぞれに応じて、前記複数の画素それぞれへの一定電流  
の出力を選択し、  
前記複数の画素それぞれが有する発光素子の発光状態ま

たは非発光状態を選択することを特徴とする表示装置の  
駆動方法。

【請求項 5】請求項 4 において、  
前記 n ビットのデジタル映像信号のうち、第 m 位 (m は  
n よりも小さい自然数) ビットのデジタル信号から第 n  
位ビットのデジタル信号が、前記駆動回路にサンプリン  
グされないことを特徴とする表示装置の駆動方法。

【請求項 6】請求項 5 において、  
前記第 m 位ビットのデジタル信号から第 n 位ビットのデ  
ジタル信号は、前記 n ビットのデジタル映像信号の下位  
m ビット分のデジタル信号に相当することを特徴とする  
表示装置の駆動方法。

【請求項 7】請求項 1 乃至請求項 6 のいずれか一項にお  
いて、  
前記表示装置の駆動方法を用いることを特徴とする電子  
機器。

## 【発明の詳細な説明】

## 【0 0 0 1】

【本発明が属する技術分野】本発明は、画素毎に薄膜ト  
ランジスタ (以下、TFT と表記する) を配置した構造  
を有する表示装置の駆動方法に関する。特に、発光素子  
として注目されるエレクトロルミネッセンス (Electro  
Luminescence) 素子を有する表示装置の駆動方法に関す  
る。また、この表示装置の駆動方法を用いた情報機器に  
関する。

## 【0 0 0 2】

【従来の技術】従来の、発光素子を用いた表示装置の駆  
動方法について説明する。

【0 0 0 3】ここで発光素子としては、電界が生じると  
エレクトロルミネッセンス効果によって発光する有機化  
合物層を、陽極及び陰極で挟んだ構造を有する素子 (EL  
素子) を例として示す。

【0 0 0 4】なお、EL 素子とは、一重項励起子から基底  
状態に遷移する際の発光 (蛍光) を利用するものと、三  
重項励起子から基底状態に遷移する際の発光 (燐光) を  
利用するものの両方を示すものとする。

【0 0 0 5】有機化合物層としては、正孔注入層、正孔  
輸送層、発光層、電子輸送層、電子注入層等が挙げられ  
る。発光素子は、基本的に、陽極/発光層/陰極の順に  
積み重ねた構造で示されるが、この他に、陽極/正孔注  
入層/発光層/電子注入層/陰極の順に積み重ねた構造  
や、陽極/正孔注入層/正孔輸送層/発光層/電子輸送  
層/電子注入層/陰極の順に積み重ねた構造などがある。

【0 0 0 6】従来の発光素子を用いた表示装置につい  
て、画素及び画素部の構造の例を示した図 1 3 及び図 1  
4 の回路図を用いて説明する。

【0 0 0 7】図 1 4 に、画素部の構成を示す。

【0 0 0 8】画素部 1 4 0 1 は、画素 1 4 0 0 が x 列 y  
行に並んだマトリクス状の構成を有する。ここで、x 及

び $y$ は、任意の自然数である。

【0009】ソース信号線 $S1 \sim Sx$ 、ゲート信号線 $G1 \sim Gx$ 、電源供給線 $V1 \sim Vx$ 、スイッチング用 $TFT141$ 、駆動用 $TFT142$ 、保持容量 $143$ 及び発光素子 $144$ によって構成されている。

【0010】なお、保持容量 $143$ は、駆動用 $TFT142$ のゲートの寄生容量等を積極的に利用すれば、必ずしも設ける必要はない。

【0011】ソース信号線 $S1 \sim Sx$ には、ソース信号線駆動回路（図示せず）からの信号が入力される。ゲート信号線 $G1 \sim Gx$ には、ゲート信号線駆動回路（図示せず）からの信号が入力される。また、電源供給線 $V1 \sim Vx$ には、一定電位が与えられている。

【0012】次いで、図14における各画素 $1400$ の構成について、図13を用いて説明する。

【0013】各画素において、ゲート信号線 $G1 \sim Gy$ のうち的一本 $G$ が、スイッチング用 $TFT141$ のゲート電極と接続され、スイッチング用 $TFT141$ のソース領域とドレイン領域とは、一方はソース信号線 $S1 \sim Sx$ のうち的一本 $S$ と接続され、もう一方は、駆動用 $TFT142$ のゲート電極と接続され、駆動用 $TFT142$ のソース領域とドレイン領域とは、一方は、電源供給線 $V1 \sim Vx$ のうち的一本 $V$ 及び保持容量 $143$ の一方の電極と接続され、もう一方は、発光素子 $144$ の一方の電極と接続され、保持容量 $143$ のもう一方の電極は、電源供給線 $V1 \sim Vx$ のうち的一本 $V$ と接続されている。ここで、接続されるとは、電気的に導通状態にあることを示すとする。

【0014】画素の発光素子 $144$ の陽極と陰極で、駆動用 $TFT142$ と接続された側を画素電極と呼び、もう一方の電極を対向電極と呼ぶことにする。

【0015】各画素 $1400$ の動作について以下に詳しく説明する。なお、説明には図13及び図14の記号を用いる。

【0016】まずある期間において、ゲート信号線 $G1 \sim Gy$ のうち的一本が選択され、この選択されたゲート信号線に、ゲート電極が接続されたスイッチング用 $TFT141$ はオンの状態になる。ここで、 $TFT$ がオンの状態になるとは、そのゲート・ソース間の電圧（以下、ゲート電圧と呼ぶ）によって、ドレイン・ソース間が導通した状態を示すものとする。また、選択された信号線とは、その信号線にゲート電極が接続された $TFT$ を、オンの状態にする信号電位が入力された信号線のことを示すものとする。

【0017】ソース信号線駆動回路よりソース信号線に入力された信号は、オンの状態となったスイッチング用 $TFT141$ のドレイン・ソース間を介して、駆動用 $TFT142$ のゲート電極に入力される。駆動用 $TFT142$ のゲート電極に与えられた電位は、保持容量 $143$ によって保持される。駆動用 $TFT142$ のゲート電極

に入力された信号によって、駆動用 $TFT142$ がオンの状態になると、電源供給線より駆動用 $TFT142$ のドレイン・ソース間を介して発光素子 $144$ に電流が流れる。発光素子 $144$ は、流れる電流の量に応じた輝度で発光する。

【0018】ここで、表示装置の駆動方法には、大きく分けて、アナログ方式とデジタル方式の2つの方式がある。なお、本明細書中では、アナログ方式は、ソース信号線にアナログ信号を入力して画像の表示を行う手法であるとし、デジタル方式は、ソース信号線にデジタルの信号を入力することによって、画像の表示を行う手法であるとする。

【0019】始めに、アナログ方式の駆動方法について説明する。

【0020】アナログ方式の表示装置のブロック図を図18に示す。

【0021】図18において、表示装置は、駆動回路部と画素部 $1800$ によって構成される。駆動回路部は、ソース信号線駆動回路 $1801$ とゲート信号線駆動回路 $1807$ によって構成される。なお、図18では、ソース信号線駆動回路 $1801$ 及びゲート信号線駆動回路 $1807$ それぞれは、画素部 $1800$ の1方のみに配置されている。しかし、画素部 $1800$ を挟んだもう一方の側にも配置しても良い。ソース信号線駆動回路 $1801$ およびゲート信号線駆動回路 $1807$ それぞれを、画素部 $1800$ の両側に配置する構成とするのが、表示装置の駆動効率及び信頼性上望ましい。

【0022】次いで、ソース信号線駆動回路 $1801$ の構成について、詳細に説明する。

【0023】アナログ方式では、外部よりソース信号線駆動回路 $1801$ に入力される映像信号が、アナログ信号の場合とデジタル信号の場合の両方が存在するがどちらでも構わない。なお、外部よりソース信号線駆動回路 $1801$ にデジタルの信号を入力して、ソース信号線にアナログの信号を出力する場合、ソース信号線駆動回路内、もしくは、ソース信号線駆動回路の出力をソース信号線に入力する以前等に、デジタル／アナログ変換器（以下、DACと表記する）によって、デジタルの信号をアナログの信号に変換する必要がある。

【0024】図18のブロック図では、外部よりデジタルの映像信号を入力してアナログの信号電圧をソース信号線に入力する駆動回路について示す。

【0025】ソース信号線駆動回路 $1801$ は、シフトレジスタ $1802$ 、ラッチ回路（以下、LATと表記する） $1(1803)$ 、LAT $2(1804)$ 及びDAC $1805$ によって構成される。

【0026】デジタル映像信号の有する情報量は $n$ （ $n$ は、任意の自然数）ビットであるとする。

【0027】デジタル映像信号の各ビットに対応する信号は、それぞれLAT $1(1803)$ に取り込まれる。

ここで、外部より入力されるデジタル映像信号は、あらかじめシリアル・パラレル変換され、各ソース信号線に対応する $n$ ビットの信号ずつ、同時にLAT1(1803)に入力される。第1のソース信号線S1～第 $x$ のソース信号線S $x$ まで順に、信号の入力を行い、 $x$ 本のソース信号線に対して、取り込みが終了する。こうして、1水平期間分の信号がLAT1(1803)にすべて取り込まれる。その後、ラッチパルスLSによって、LAT1(1803)に保持された信号が、LAT2回路に一齐に転送される。

【0028】ここで、 $x$ 本のソース信号線に信号を出力するソース信号線駆動回路1801において、 $n$ ビットのデジタル映像信号を扱う場合、 $xn$ ビット分のデジタル信号を記憶するLAT1(1803)及びLAT2(1804)が必要となる。

【0029】LAT2(1804)に保持された、各ソース信号線に対応する $n$ ビット分のデジタル信号電圧VDは、DAC1805に入力され、対応するアナログの信号電圧に変換される。こうして、ソース信号線駆動回路1801は、アナログの信号電圧をソース信号線に出

力する。

【0030】アナログ方式で画素を駆動方法した場合について説明する。なお、説明には、図13及び図14の画素の回路図を参照する。

【0031】アナログ方式では、ソース信号線に入力される信号は、アナログの電圧で表現される。このアナログの信号が、オンの状態となったスイッチング用TFT141を介して駆動用TFT142のゲート電極に入力されると、駆動用TFT142のゲート電極の電位が変化する。そのため駆動用TFT142のゲート電圧が変

化し、このゲート電圧に応じた輝度でドレイン電流が流れ、発光素子144に入力される。

【0032】このアナログ方式の表示装置の駆動方法を図15のタイミングチャートを用いて説明する。なお、説明においては図18も参照する。

【0033】タイミングチャートにおいて、1つの画像を表示する期間をフレーム期間(F)と表現する。ここで、1フレーム期間は、 $1/60$ 秒ほどの長さに設定される。これは動画を表示する際に、人間の目がチラツキを感じない程度の時間である。

【0034】始めに、ソース信号線S1～S $x$ に一齐にアナログの信号電圧が入力されるまでの動作について、説明する。

【0035】図15(A)において、ソース信号線駆動回路1801では、デジタルの信号電圧VDが、シフトレジスタ1802からのサンプリングパルスによって、 $n$ ビットずつ同時にLAT1(1803)に保持される(図15中、サンプリング期間)。サンプリング期間の後、ラッチパルスLPによってLAT1(1803)に保持されたデジタル信号電圧VDは、一齐にLAT2

(1804)に入力され保持される。

【0036】なお、LAT2(1804)に信号が出力されると、LAT1(1803)は、次の水平期間に対応するデジタル映像信号VDを順に保持し始める。

【0037】LAT2(1804)に入力され保持された信号電圧は、DAC1805に入力され、対応するアナログの信号電圧に変換される。このデジタル/アナログ変換の処理は、サンプリング期間の後の帰線期間において行われる。アナログ変換された信号電圧はソース信号線S1～S $x$ に同時に入力される。

【0038】以上が、ソース信号線S1～S $x$ に一齐にアナログの信号電圧が入力されるまでの動作の説明であった。

【0039】次いで、ソース信号線に入力されたアナログの信号電圧を、各画素に入力する動作について説明する。

【0040】図15(B)は、各ゲート信号線に対応する水平期間の画素の状態を表すタイミングチャートである。ここで、第1のフレーム期間F1中に、ゲート信号線G1～G $y$ は順に選択される。1本のゲート信号線が選択されている間に、ソース信号線S1～S $x$ に一齐にアナログの信号電圧が入力される。

【0041】こうして、あるゲート信号線が選択されている画素では、ソース信号線に入力されたアナログ電圧が、駆動用TFTのゲート電極に入力される。この動作を行う期間を、書き込み期間と呼ぶ。

【0042】また、書き込み期間に入力された信号によって、発光素子が発光するかしないかする期間を表示期間と呼ぶ。

【0043】各水平期間において、書き込み期間の長さは同じであるが、それぞれの期間の始まる時間は、各水平期間によって異なる。また、表示期間の長さは同じであるが、それぞれの期間の始まる時間は、各水平期間によって異なる。

【0044】ここで、書き込み期間が、前後のフレーム期間の間で重複しないように、書き込み期間の長さ及び表示期間の長さが設定される。

【0045】また、表示期間は、各水平期間の書き込み期間において信号が入力されるとすぐに始まる。

【0046】こうして、すべての画素にアナログの信号電圧が入力され、画像の表示が行われる。

【0047】以上が、アナログ方式の表示装置の駆動方法の説明である。

【0048】通常、アナログ方式の駆動方法では、駆動用TFT142は、ゲート電圧に対してドレイン電流が大きく変化する領域を用いて動作させられる。この領域は、飽和領域付近の領域に相当する。ここでは、簡単のため、飽和領域で動作しているものとする。

【0049】しかし、このようなアナログ方式の駆動方法では、スイッチング用TFT141や駆動用TFT1

10

20

30

40

50

42の特性のバラツキによって発光素子144に流れる電流の量が変化し、表示ムラの原因となるといった問題がある。

【0050】そこで、デジタル方式の駆動方法が提案された。

【0051】次いで、デジタル方式の駆動方法について説明する。

【0052】デジタル方式で、図13及び図14の構成の画素を駆動した場合について説明する。

【0053】ここで、スイッチング用TFT141と駆動用TFT142は、nチャネル型TFTでもpチャネル型TFTでもどちらでも良いが、発光素子144の画素電極が陽極で、対向電極が陰極の場合、駆動用TFT142は、pチャネル型TFTが好ましい。一方、発光素子144の画素電極が陰極で、対向電極が陽極の場合、駆動用TFT142はnチャネル型TFTの方が好ましい。

【0054】これは、駆動用TFT142のソース領域の電位が、固定された状態で動作するのが望ましいためである。

【0055】なおここでは簡単のため、スイッチング用TFT141をnチャネル型TFTとし、駆動用TFT142もnチャネル型TFTとして、デジタル方式について説明する。

【0056】以下に、画素の動作について説明する。

【0057】あるゲート信号線に信号が入力されると、そのゲート信号線に接続されたスイッチング用TFT141のゲート電極に信号が入力される。この信号電圧を適当に定めて、スイッチング用TFT141のゲート電極に信号が入力された場合、そのスイッチング用TFT141はオンの状態になるようにする。

【0058】なお、ゲート信号線に入力する信号によって、スイッチング用TFTのオン・オフを選択する動作は、アナログ方式の表示装置の動作と同様である。

【0059】デジタル方式では、ソース信号線に入力される信号は、「1」か「0」で表され、それぞれの信号は、HiまたはLoのいずれかの電圧を有する信号を意味する。

【0060】ここでは、「1」の信号とは、Hiの信号電圧に対応し、「0」の信号とは、Loの信号電圧に対応するものとする。

【0061】スイッチング用TFT141がオンの状態となった画素では、ソース信号線に入力されたデジタル映像信号が駆動用TFT142のゲート電極に入力される。このデジタル映像信号がHiの信号の場合、このHiの信号に対応する電圧を適当に定めて、駆動用TFT142のゲート電極にHiの信号が入力された場合、その駆動用TFT142はオンの状態になるようにしておけば、電源供給線Vより発光素子144に電流を流すことができる。

【0062】ここで、あるゲート信号線が選択されている画素において、ソース信号線に入力されたデジタル電圧を、駆動用TFTのゲート電極に入力する動作を行う期間を、書き込み期間と呼ぶ。

【0063】また、書き込み期間に入力された信号によって、発光素子が発光するかしないかする期間を表示期間と呼ぶ。

【0064】以上が、デジタル方式における画素の動作の説明である。

【0065】次いで、デジタル方式における階調表示方法について説明する。

【0066】デジタル方式には、面積階調方式、時間階調方式等がある。

【0067】面積階調方式では、1つの画素を複数のサブ画素に分割し、それらの画素を発光させるかどうかを選択する。発光状態を選択されたサブ画素の面積の合計によって、1画素の輝度を変化させる手法である。

【0068】一方、時間階調方式では、1画像を表示する期間を複数の期間に分割し、画素が発光する時間を制御することによって階調を表現する。

【0069】ここでは時間階調方式について、詳細に説明する。図16のタイミングチャート、図19のブロック図及び図14の画素部回路図を用いて説明する。なお、ここではnビットのデジタル映像信号を用いて階調を表現する駆動方法について説明する。

【0070】始めに、時間階調方式を用いる表示装置の構造について説明する。説明では、図19のブロック図を用いる。

【0071】図19において、表示装置は、ソース信号線駆動回路1901、ゲート信号線駆動回路1907、時分割階調データ信号発生回路1908及び画素部1900によって構成される。ここで、ソース信号線1901は、シフトレジスタ1902、LAT1(1903)及びLAT2(1904)によって構成される。

【0072】図19に示した構造の表示装置の動作について、図16のタイミングチャートを用いて説明する。なお、画素部については、図14の符号を用いて示す。

【0073】タイミングチャートにおいて、1つの画像を表示する期間をフレーム期間(F)と表現する。ここで、1フレーム期間は、1/60秒ほどの長さ設定される。これは動画を表示する際に、人間の目がチラツキを感じない程度の時間である。

【0074】また、1フレーム期間はn個のサブフレーム期間SF1~SFnに分けられる。複数のサブフレーム期間SF1は、書き込み期間Taa1と表示期間Ts1に分けられる。

【0075】なお、図16では、各サブフレーム期間において、書き込み期間Taaは、第1の水平期間~第yの水平期間のそれぞれの書き込み期間Taの総和で示すものとする。つまり、各サブフレーム期間において、第

1のゲート信号線～第yのゲート信号線それぞれに対応する、画素への書き込み期間の総和を、書き込み期間Taaと表記することにする。

【0076】始めに、フレーム期間F1のサブフレーム期間SF1における動作について説明する。ここでは、サブフレーム期間SF1は、第1のビットの信号（第1位ビットのデジタル信号）に対応する期間であるとする。なお、本明細書中では、第1のビットを、最上位ビットとし、第nのビットを最下位ビットとする。

【0077】デジタルの信号電圧VDは、時分割階調データ信号発生回路1908を介して、ソース信号線駆動回路1901のLAT1（1903）に入力されている。時分割階調データ信号発生回路1908において、デジタルの映像信号は、時間階調方式で表示を行うための信号に変換される。

【0078】ソース信号線駆動回路1901によって、デジタル映像信号VDの第1のビットに対応する信号が、シフトレジスタ1902からのサンプリングパルスによって、LAT1（1903）に保持される。その後、ラッチパルスLPによってLAT1（1903）に保持された信号は、一斉にLAT2（1904）に入力され、各ソース信号線に出力される。

【0079】なお、x本のソース信号線にデジタル映像信号を入力する表示装置の場合、LAT1（1903）及びLAT2（1904）は、それぞれxビット分のデジタル映像信号を保持する能力があればよい。

【0080】各ソース信号線にデジタル映像信号が出力されたとき、ゲート信号線G1が選択されていたとする。このとき、ゲート信号線G1にゲート電極が接続されたスイッチング用TFT141を有する画素では、その保持容量143にソース信号線S1～Sxに入力された信号が保持される。

【0081】ここで、第1のビットに対応するデジタル信号の書き込み期間Taa1において、発光素子144の対向電極の電位は、電源供給線V1～Vxの電位とほぼ同じに保たれている。そのため、ソース信号線S1～Sxに入力されたデジタル信号によって駆動用TFT142がオンの状態となっても、発光素子144には電流が流れず発光しない。

【0082】なお、LAT2（1904）に信号が出力されると、LAT1（1903）は、次の水平期間に対応するデジタル映像信号VDを順に保持し始める。その後、ラッチパルスLPによってLAT1（1903）に保持されたデジタル信号は、一斉にLAT2（1904）に入力され、ソース信号線S1～Sxに出力される。

【0083】このときゲート信号線G2が選択され、ゲート信号線G2にゲート電極が接続されたスイッチング用TFT141を有する画素では、その保持容量143に、ソース信号線S1～Sxに入力された信号が保持さ

れる。

【0084】書き込み期間Taa1において、上記動作を繰り返しゲート信号線G1～Gyが順に選択されて、各画素にデジタル信号が入力され、保持される。全て画素に信号が入力されると書き込み期間Taa1が終了する。この後第1のビットに対応する表示期間Ts1において、発光素子144の対向電極の電位は、電源供給線V1～Vxとの間に発光素子144が発光する程度の電位差を有するように変化する。するとソース信号線S1～Sxより入力された信号によって駆動用TFT142がオンになった画素においてのみ発光素子144が発光する。

【0085】次に、再び発光素子144の対向電極が電源供給線V1～Vxとほぼ同じ電位に変化し、全ての画素の発光素子144が発光しなくなる。こうして第2のサブフレーム期間SF2における書き込み期間Taa2が始まる。

【0086】第2のサブフレーム期間において、第1のサブフレーム期間と同様に、ゲート信号線G1～Gyが順に選択される。今度は、第2のビットに対応するデジタル信号が、スイッチング用TFT141を介して駆動用TFT142のゲート電極に入力される。全ての画素にデジタル信号が入力され終わると書き込み期間Taa2が終了する。その後、表示期間Ts2において、対向電極の電位が、電源供給線V1～Vxの電位との間に、発光素子144が発光する程度の電位差を有するように変化する。こうして駆動用TFT142がオンの状態にある画素は、発光素子144が発光する。

【0087】同様の動作を第nのビットに対応するデジタル信号まで行い、サブフレーム期間SF1～SFnが終了すると、1フレーム期間が終了する。ここで、サブフレーム期間SF1～SFnのそれぞれの表示期間Ts1～Ts nの長さは、例えば、各サブフレーム期間に入力されるビットに応じて、 $Ts n : Ts n-1 : \dots : Ts 3 : Ts 2 : Ts 1 = 2^0 : 2^1 : 2^2 : \dots : 2^{n-2} : 2^{n-1}$ と表現することができる。なお、書き込み期間Taa1～Taanの長さは同じである。

【0088】1フレーム期間中に発光素子144が発光した表示期間の長さの総和を求めることによって、そのフレーム期間におけるその画素の階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、Ts8とTs7において画素が発光した場合には1%の輝度が表現でき、Ts6とTs4とTs1を選択した場合には60%の輝度が表現できる。

【0089】以上が、時間階調方式の駆動方法における基本的な手法である。

【0090】なお、書き込み期間Taa1～Taanにおいても画素の表示を行う手法の駆動方法もある。

【0091】この手法は、発光素子144の対向電極の



電位を、書き込み期間  $T_{a1} \sim T_{an}$  においても、電源供給線  $V_1 \sim V_x$  の電位との間に発光素子が発光する程度の電位差を有するように設定する。つまり対向電極の電位を 1 フレーム期間中で変化させること無しに駆動する手法である。この駆動方法のタイミングチャートを図 17 に示す。

【0092】 1 サブフレーム期間中の書き込み期間  $T_{aj}$  ( $j$  は、 $n$  以下の自然数) において、ゲート信号線  $G_1$  が選択され、第 1 行の画素に信号が入力される (第 1 の水平期間)。第 1 行の画素は、信号が入力されると同時に、該信号に応じて発光または非発光状態となる。次にゲート信号線  $G_2$  が選択され、そこにスイッチング用 TFT のゲート電極が接続された画素 (第 2 行の画素) に信号が入力される (第 2 の水平期間)。第 2 行の画素は、信号が入力されると同時に、該信号に応じて発光または非発光状態となる。上記動作を、全てのゲート信号線  $G_1 \sim G_y$  について繰り返し、第 1 ～第  $y$  の水平期間が終了すると、1 サブフレーム期間が終了する。

【0093】 ここで、あるサブフレーム期間において、各ゲート信号線に対応する画素への書き込み期間を、それぞれ  $T_a$  と表記する。

【0094】 図 17 のタイミングチャートは、あるサブフレーム期間において、その各水平期間では、画素に信号が書き込まれ始める時間が異なるので、画素が発光する期間が始まる時間も異なるが、すべての水平期間において、書き込み期間  $T_a$  の長さは同じである。またあるサブフレーム期間において、すべての水平期間の表示期間  $T_s$  の長さは同じである。

【0095】 上記のような駆動方法の場合、各サブフレーム期間に入力されるビットに応じて、サブフレーム期間  $SF_1 \sim SF_n$  の長さを定めることができる。例えば、 $SF_n : SF_{n-1} : \dots : SF_3 : SF_2 : SF_1 = 2^0 : 2^1 : 2^2 : \dots : 2^{n-2} : 2^{n-1}$  を表現することができる。

【0096】 以上が、デジタル方式の階調表示方法の説明である。

【0097】 ここで、デジタル方式において、画素の駆動用 TFT の駆動領域を示すグラフを図 28 に示す。なお、比較のため、前述のアナログ方式の駆動方法における、駆動用 TFT 142 の動作領域も示す。

【0098】 アナログ方式では、駆動用 TFT は、飽和領域付近で動作させる。

【0099】 一方、デジタル方式では、しきい値以下の、ドレイン電流が流れない領域と、線型領域とにおいて動作させている。こうして、スイッチング用 TFT 141 や駆動用 TFT 142 をスイッチとして用いている。

【0100】 そのため、デジタル方式の駆動方法では、スイッチング用 TFT 141 や駆動用 TFT 142 の特性のバラツキによる、発光素子 144 に流れる電流の量

の変化を少なく抑えることができる。こうして、スイッチング用 TFT 141 や駆動用 TFT 142 の特性のバラツキによる表示ムラを低減することが出来る。

【0101】 しかし、上述のデジタル方式では、次の問題点がある。

【0102】 1 つは、駆動回路の消費電力が大きくなるといった問題がある。これは、高階調を表現する際、駆動回路を特を高速で動作させる必要が生じるためである。

【0103】 もう 1 つは、たとえ一定の電圧を発光素子に印加している場合でも、発光素子を流れる電流が変化し、輝度が変化するという問題がある。デジタル方式では、駆動用 TFT をスイッチとして動作させ、各画素の発光素子の陽極と陰極の間に、一定の電圧を印加して発光状態を選択している。しかし、表示装置を用いる環境の温度が変化すると、発光素子の特性も変化するためである。

【0104】 図 26 に、発光素子の両電極間 (陽極と陰極) の電圧 (図中、印加電圧と表記) と、発光素子の両電極間を流れる電流との関係の、環境温度による変化を表すグラフを示す。 $T_1$ 、 $T_2$  及び  $T_3$  は、温度を表し、 $T_1$  は  $T_2$  より高く、 $T_2$  は  $T_3$  より高い温度であるとするとする。

【0105】 図 26 において、温度が変化すると、発光素子の両電極間に印加する電圧がたとえ同じであっても、発光素子を流れる電流量は、温度が高くなるほど大きくなってしまふ。発光素子の輝度は、発光素子を流れる電流の量にほぼ比例するため、温度が高くなると、発光素子の輝度が変化してしまうといった問題がある。また、消費電力が増大するという問題もある。

【0106】 上述した、アナログ方式またはデジタル方式では、ソース信号線には、アナログまたはデジタルの電圧信号を入力して、表示を行っていた。これを、電圧駆動方式と呼ぶことにする。一方、ソース信号線に電流を入力して画像表示と行う方式が提案されている。これを、電流駆動方式と呼ぶことにする。

【0107】 電流駆動方式を用いることによって、環境温度が変化しても常に一定の輝度で発光する表示装置が提供される。

【0108】 この構成について、以下に説明する。

【0109】 温度変化に対応した表示装置を得るために図 3 に示すような構造の画素が提案されている。

【0110】 また、この構造の画素においては、画素内で TFT の特性がそろっていれば、画素間の表示ムラを大きく低減することができるという特徴がある。

【0111】 図 3 に示した画素の構成について、以下に説明する。

【0112】 画素は、第 1 のスイッチング用 TFT 402 と、第 2 のスイッチング用 TFT 403 と、カレントミラー回路を構成する 2 つの TFT 404 と TFT 40

5、保持容量406及び発光素子407を有している。  
 なお、保持容量406は、TFT404やTFT405のゲート容量を積極的に利用すれば、必ずしも設ける必要はない。この画素の構成について以下に詳しく説明する。

【0113】第1のスイッチング用TFT402のゲート電極は、ゲート信号線Gに接続され、ソース領域とドレイン領域とは、一方はソース信号線Sに接続され、もう一方は第2のスイッチング用TFT403のソース領域もしくはドレイン領域及びTFT404のソース領域もしくはドレイン領域のどちらか一方と接続されている。第2のスイッチング用TFT403のソース領域とドレイン領域のもう一方は、TFT404及びTFT405のゲート電極及び保持容量406と接続されている。第2のスイッチング用TFT403のゲート電極は、選択線Cと接続されている。TFT404の第2のスイッチング用TFT403と接続されていない側は、電源供給線Vと接続されている。保持容量406の、TFT404とTFT405のゲート電極と接続されていない側は、電源供給線Vと接続されている。TFT405のソース領域とドレイン領域とは、一方は、電源供給線Vと接続され、もう一方は、発光素子407の一方の電極に接続されている。

【0114】上記構成の画素の駆動方法について以下に説明する。ここで、図4は図3の構成の画素をマトリクス状に配置した画素部の構成を示す回路図である。なお、説明には、図21のタイミングチャートを用いる。また、図3、図4の符号を用いる。

【0115】また、ここでは第1のスイッチング用TFTと第2のスイッチング用TFTとは、nチャネル型TFTであるとする。しかし、第1のスイッチング用TFT及び第2のスイッチング用TFTは、単なるスイッチとして機能するため、nチャネル型TFTでもpチャネル型TFTでもどちらでもかまわない。

【0116】ゲート信号線Gk (kは、y以下の自然数) に信号が入力されて、第1のスイッチング用TFT402がオンになる。更に、選択線Ckに信号が入力され、第2のスイッチング用TFT403がオンになると、画素よりソース信号線S1～Sxに信号電流 $I_{is}$ が流れる。ソース信号線を通る信号電流 $I_{is}$ は、ソース信号線駆動回路によって、所定の値に設定される。

【0117】信号電流 $I_{is}$ は、始め、第1のスイッチング用TFT402、第2のスイッチング用TFT403、保持容量406を介して、ソース信号線Sと電源供給線Vの間を流れる。こうして、保持容量406に、電荷が保持される。そして、保持された電荷によって、TFT404のゲート・ソース間の電圧が、しきい値以上となると、TFT404を介して電流が流れ始める。その後、十分に時間が経過すると、TFT404を流れる電流が、信号電流 $I_{is}$ に等しくなる。保持容量406に

は、このときのTFT404のゲート電圧が保持される。

【0118】ここで、TFT404は、第2のスイッチング用TFT403によって、ドレイン領域とゲート電極が接続された状態にある。そのため、ゲート・ソース間電圧(ゲート電圧)と、ソース・ドレイン間電圧が等しい状態となり、飽和領域で動作する。飽和領域で動作するTFTでは、ゲート電圧が一定に定まれば、対応するドレイン電流もほぼ一定に定まる。

【0119】また、TFT404のゲート電圧と、TFT405のゲート電圧は、同じに保たれている。

【0120】ここで、カレントミラー回路を構成する2つのTFT404とTFT405の特性が等しいとする。

【0121】こうして、TFT404を流れる信号電流 $I_{is}$ と、電源供給線VよりTFT405のドレイン・ソース間を介して発光素子407に入力される電流Iとは同じとなる。

【0122】保持容量406にTFT404が信号電流 $I_{is}$ を流す際のゲート電圧が保持された後、第2のスイッチング用TFT403はオフの状態となる。ここで、更に第1のスイッチング用TFT402もオフの状態となっても、2つのTFT404及び405のゲート電極の電位は保持され、発光素子407には電流Iが入力され続ける。こうして、電流Iつまり信号電流 $I_{is}$ に対応する輝度で発光素子を発光させることができる。

【0123】ここで、第1のフレーム期間が終了した後、第2のフレーム期間F2で、同じ画素において、ソース信号線が次の信号電流 $I_{is}$ を流すように変化すると、新たな信号電流 $I_{is}$ に応じた電位が保持容量406に保持される。こうして発光素子407に入力される電流は、次の信号に対応する電流Iに変化する。こうして、信号電流 $I_{is}$ に応じた輝度で、発光素子407は発光する。

【0124】なお、各画素において、次のフレーム期間に対応する信号電流 $I_{is}$ をTFT404のソース・ドレイン間に流す際、その前に保持容量に保持された電圧、つまり、カレントミラー回路を構成する2つのTFT404及び405のゲート電圧を、放電しておく動作を行っても良い。保持容量406に保持された電荷を放電するには、保持容量406の両電極間の電位が等しくなるように、スイッチ等を用いて配線を接続する等すればよい。

【0125】図3及び図4で示した構成の画素有する表示装置を、図21のタイミングチャートにしたがって駆動させる際の表示装置のブロック図を図20に示す。

【0126】図20において、表示装置は、ソース信号線駆動回路2001、ゲート信号線駆動回路2007a、選択線駆動回路2007b及び画素部2000によって構成されている。ここで、ソース信号線駆動回路2

0 0 1 は、シフトレジスタ 2 0 0 2、LAT 1 ( 2 0 0 3)、LAT 2 ( 2 0 0 4)、DAC 2 0 0 5、定電流回路 2 0 0 6 によって構成されている。

【0 1 2 7】シフトレジスタ 2 0 0 2 には、クロックパルス CLK、スタートパルス SP が入力され、サンプリングパルスが出力される。このサンプリングパルスによって、LAT 1 ( 2 0 0 3) は、デジタル映像信号 VD の信号電圧を順に保持する。

【0 1 2 8】このときデジタル映像信号の有する情報量は n ビットであるとする。

【0 1 2 9】デジタルの映像信号のそれぞれのビットに対応する信号は、それぞれ LAT 1 ( 2 0 0 3) に取り込まれる。ここで、外部より入力するデジタル映像信号は、あらかじめ SPC (Serial-to-Parallel Conversion Circuit) 等を用いて、シリアル・パラレル変換され、n ビット分の信号が同時に LAT 1 ( 2 0 0 3) に入力される。1 水平期間分の信号が LAT 1 ( 2 0 0 3) にすべて取り込まれると、ラッチパルス LP によって、LAT 2 ( 2 0 0 4) に入力される。x 本のソース信号線に信号を出力するソース信号線において、n ビットの信号を扱う場合、それぞれ x n ビット分のデジタル信号を記憶可能な LAT 1 ( 2 0 0 3) 及び LAT 2 ( 2 0 0 4) が必要となる。

【0 1 3 0】これらの信号を変換するための SPC (図示せず) は画素部が形成された基板上と同じ基板上に形成しても構わないし、IC チップ等で形成し、画素部が形成された基板上に貼り付けられていてもよい。

【0 1 3 1】LAT 2 ( 2 0 0 4) に保持された、1 本のソース信号線に対応する n ビット分のデジタル映像信号 VD は、DAC 2 0 0 5 に入力され、対応するアナログの信号電圧に変換される。

【0 1 3 2】変換されたアナログ信号電圧は、定電流回路 2 0 0 6 に入力される。定電流回路 2 0 0 6 は、アナログの信号電圧に応じた信号電流をソース信号線に出力する。

【0 1 3 3】入力されたアナログ信号電圧に対応する定電流を出力する定電流回路 2 0 0 6 については公知の構成の回路を自由に用いることができる。

【0 1 3 4】こうして、図 4 に示した構成の画素を、図 2 1 に示したタイミングチャートに従って駆動させ、画像の表示を行うことが出来る。

【0 1 3 5】以上が、電流駆動方式を用いた表示装置の一例の説明である。

【0 1 3 6】ここで、アナログの信号電流をソース信号線に入力して、発光素子に入力する電流を制御する上記のような駆動方法の場合、発光素子に入力される電流値が設定されるので、環境温度が変化して発光素子の輝度に変化してしまうといった問題点は解決する。

【0 1 3 7】しかし、上述したような電流駆動方式の表示装置の場合、高階調化すると回路を流れる電流が多く

なるため消費電力の増大が問題となる。

【0 1 3 8】

【発明が解決しようとする課題】従来の電圧駆動方式の表示装置において、アナログ方式を用いる場合、画素の TFT の特性のばらつきによる表示ムラが問題となる。

【0 1 3 9】また、従来の電圧駆動方式の表示装置において、デジタル方式で時間階調方式を用いる場合、階調数が多くなると、1 フレーム期間を多くのサブフレーム期間に分割しなくてはならない。そのため駆動回路を高速で動作させる必要が生じ、消費電力の増大が問題となる。

【0 1 4 0】また、表示装置を使用する環境温度が大きく変化すると、発光素子の温度特性が大きく変化し、発光素子に流れる電流の量が変化して、一定の輝度表示が困難となるといった問題がある。

【0 1 4 1】一方、従来の電流駆動方式の表示装置の場合は、高階調化に適さないという問題がある。

【0 1 4 2】そこで、表示ムラの少なく、高階調化が可能で、消費電力を抑えることが可能な表示装置で、環境温度の変化によって画素の発光素子の輝度が変化しない表示装置の駆動方法を提供することを課題とする。

【0 1 4 3】

【課題を解決するための手段】図 3 で示したような電流駆動方式の、画素内にカレントミラー回路を有する構造の画素において、時間階調方式の駆動方法を適用する。また、切り換え信号によって、ソース信号線駆動回路がサンプリングするデジタル映像信号のビット数を減らすことによって、高階調の表示が必要ない場合の消費電力を抑えることができる。

【0 1 4 4】これによって、画像ムラが少なく、消費電力の少ない、温度変化に対応した表示装置の駆動方法を得ることができる。

【0 1 4 5】以下に本発明の構成について説明する。

【0 1 4 6】本発明によって、画素へ一定の信号電流を入力し、前記画素の発光素子を前記一定の信号電流により一定の輝度で発光させる表示装置の駆動方法であって、1 フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間それぞれにおいて、前記画素の発光素子の発光状態または非発光状態を選択する表示装置の駆動方法が提供される。

【0 1 4 7】本発明によって、画素に、第 1 の電流を入力し、前記第 1 の電流を、電圧に変換し、前記電圧を保持し、前記電圧を、第 2 の電流に変換し、前記第 2 の電流を、前記画素が有する発光素子に入力し、前記発光素子を一定の輝度で発光させる表示装置の駆動方法であって、1 フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間それぞれにおいて、前記発光素子の発光状態または非発光状態を選択する表示装置の駆動方法が提供される。

【0 1 4 8】本発明によって、第 1 の薄膜トランジスタ

と、第2の薄膜トランジスタと、発光素子とを備えた画素を有し、前記画素に、第1の電流を入力し、前記第1の電流を、飽和領域で動作する前記第1の薄膜トランジスタの第1のドレイン電流とし、前記第1の薄膜トランジスタの第1のゲート電圧を保持し、前記第1のゲート電圧を、前記第2の薄膜トランジスタの第2のゲート電圧とし、前記第2の薄膜トランジスタの第2のドレイン電流を、前記発光素子に入力し、前記発光素子を一定の輝度で発光させる表示装置の駆動方法であって、1フレーム期間を、複数のサブフレーム期間に分割し、前記複数のサブフレーム期間それぞれにおいて、前記発光素子の発光状態または非発光状態を選択する表示装置の駆動方法が提供される。

【0149】本発明によって、複数の画素を有し、前記複数の画素それぞれへ一定の信号電流を入力し、前記複数の画素それぞれが有する発光素子を、前記一定の信号電流により一定の輝度で発光させる表示装置の駆動方法であって、 $n$  ( $n$ は自然数) ビットのデジタル映像信号が入力される駆動回路を有し、1フレーム期間を、 $n$ 個のサブフレーム期間に分割し、前記 $n$ 個のサブフレーム期間それぞれにおいて、前記駆動回路は、前記 $n$ ビットのデジタル映像信号の第1位ビットのデジタル信号から第 $n$ 位ビットのデジタル信号それぞれに応じて、前記複数の画素それぞれへの一定電流の出力を選択し、前記複数の画素それぞれが有する発光素子の発光状態または非発光状態を選択することを特徴とする表示装置の駆動方法が提供される。

【0150】前記 $n$ ビットのデジタル映像信号のうち、第 $m$ 位 ( $m$ は $n$ よりも小さい自然数) ビットのデジタル信号から第 $n$ 位ビットのデジタル信号が、前記駆動回路にサンプリングされないことを特徴とする表示装置の駆動方法であってもよい。

【0151】前記第 $m$ 位ビットのデジタル信号から第 $n$ 位ビットのデジタル信号は、前記 $n$ ビットのデジタル映像信号の下位 $m$ ビット分のデジタル信号に相当することを特徴とする表示装置の駆動方法であってもよい。

【0152】前記表示装置の駆動方法を用いることを特徴とする電子機器であってもよい。

【0153】本発明によって、ソース信号線駆動回路と、ゲート信号線駆動回路と、画素部とを有し、前記画素部は、複数の画素と、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線とを有し、前記複数の画素はそれぞれ、スイッチング用TFTと、第1のTFTと、第2のTFTと、発光素子とを有し、前記第1のTFTと前記第2のTFTは、カレントミラー回路を構成し、前記第1のTFTのゲート電極と前記第2のTFTのゲート電極は、接続され、前記複数のソース信号線に、前記ソース信号線駆動回路より信号電流が入力され、前記ゲート信号線駆動回路によって、前記複数のゲート信号線のうちの1本が選択され、前記スイッチング

用TFTのソース・ドレイン間が導通状態となった画素において、前記カレントミラー回路を構成する前記第2のTFTのソース・ドレイン間を介して、前記電源供給線より前記発光素子に電流を入力し、前記発光素子を発光させる表示装置の駆動方法において、前記複数のソース信号線に前記信号電流を出力する場合と、出力しない場合とを選択して、前記発光素子の発光状態もしくは非発光状態を選択し、1フレーム期間において、前記発光素子が、発光した時間の合計によって、輝度を表現することを特徴とする表示装置の駆動方法が提供される。

【0154】本発明によって、ソース信号線駆動回路と、ゲート信号線駆動回路と、選択線駆動回路と、画素部とを有し、前記画素部は、複数の画素と、複数のソース信号線と、複数のゲート信号線と、複数の電源供給線と、複数の選択線とを有し、前記複数の画素はそれぞれ、第1のスイッチング用TFTと、第2のスイッチング用TFTと、第1のTFTと、第2のTFTと、発光素子とを有し、前記第1のTFTと前記第2のTFTは、カレントミラー回路を構成し、前記第1のスイッチング用TFTのソース領域とドレイン領域は、一方は、前記ソース信号線に接続され、もう一方は、前記第2のスイッチング用TFTのソース領域もしくはドレイン領域及び前記第1のTFTのソース領域もしくはドレイン領域と接続され、前記第1のスイッチング用TFTのゲート電極は、前記複数のゲート信号線のうちの1つと接続され、前記第2のスイッチング用TFTのソース領域もしくはドレイン領域で、第1のスイッチング用TFTと接続されていない側は、前記第1のTFT及び前記第2のTFTのゲート電極に接続され、前記第1のTFTのソース領域もしくはドレイン領域で、前記第2のスイッチング用TFTのソース領域もしくはドレイン領域と接続されていない側は、前記複数の電源供給線のうちの1つに接続され、第2のスイッチング用TFTのゲート電極は、前記複数の選択線のうちの1つと接続され、前記第2のTFTのソース領域とドレイン領域は、一方は、前記複数の電源供給線のうちの1つに接続され、もう一方は、前記発光素子に接続され、前記複数のソース信号線に、前記ソース信号線駆動回路より信号電流が入力され、前記ゲート信号線駆動回路によって、前記複数のゲート信号線のうちの1本が選択され、前記選択線駆動回路によって、前記複数の選択線のうちの1本が選択され、前記第1のスイッチング用TFTのソース・ドレイン間が導通状態となり、前記第2のスイッチング用TFTのソース・ドレイン間が導通状態となった画素で、前記信号電流は、前記カレントミラー回路を構成する前記第1のTFTのソース・ドレイン間を流れ、前記カレントミラー回路を構成する前記第2のTFTのソース・ドレイン間を介して、前記電源供給線より前記発光素子に電流を入力し、前記発光素子を発光させる表示装置の駆動方法において、前記複数のソース信号線に前記信号電

流を出力する場合と、出力しない場合とを選択して、前記発光素子の発光状態もしくは非発光状態を選択し、1フレーム期間において、前記発光素子が、発光した時間の合計によって、輝度を表現することを特徴とする表示装置の駆動方法が提供される。

【0155】前記1フレーム期間は、複数のサブフレーム期間に分割され、前記複数のサブフレーム期間毎に、各画素の前記発光素子の発光もしくは非発光状態が選択される、表示期間を有することを特徴とする表示装置の駆動方法であってもよい。

【0156】外部より $n$  ( $n$ は自然数)ビットのデジタル映像信号が入力され、前記複数のサブフレーム期間は、 $r$  ( $r$ は $n$ 以上の自然数)個のサブフレーム期間であり、長さの比が、 $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となる $n$ 個の期間を、前記 $r$ 個のサブフレーム期間の前記表示期間を、組み合わせることによって表現することを特徴とする表示装置の駆動方法であってもよい。

【0157】外部より $n$  ( $n$ は自然数)ビットのデジタル映像信号が入力され、前記複数のサブフレーム期間は、 $n$ 個のサブフレーム期間であり、前記 $n$ 個のサブフレーム期間の各表示期間の長さの比は、 $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となることを特徴とする表示装置の駆動方法であってもよい。

【0158】 $m$ ビット ( $m$ は $n$ よりも小さい自然数)分のデジタル映像信号が、前記ソース信号線駆動回路にサンプリングされないことを特徴とする表示装置の駆動方法であってもよい。

【0159】前記 $m$ ビット分の映像信号は、前記 $n$ ビットのデジタル映像信号の下位 $m$ ビット分のデジタル映像信号に相当することを特徴とする表示装置の駆動方法であってもよい。

【0160】前記下位 $m$ ビット分のデジタル映像信号に対応するサブフレーム期間は、前記ソース信号線駆動回路を構成するシフトレジスタがサンプリングパルスを出ししない、サンプリングパルス停止期間を有することを特徴とする表示装置の駆動方法であってもよい。

【0161】前記下位 $m$ ビット分のデジタル映像信号に対応するサブフレーム期間は、リセット期間と、前記ソース信号線駆動回路を構成するシフトレジスタがサンプリングパルスを出ししない、サンプリングパルス停止期間とを有することを特徴とする表示装置の駆動方法であってもよい。

【0162】前記デジタル映像信号を一定電位の出力に変化させる、リセット回路を有し、前記リセット期間に、前記リセット回路より、「0」に対応する信号がソース信号線駆動回路に入力されサンプリングされて、前記複数のソース信号線に出力されることを特徴とする表示装置の駆動方法であってもよい。

【0163】前記サンプリングパルス停止期間に、前記

シフトレジスタに入力されるスタートパルスを、一定電位の出力に変化させるスタートパルス制御回路を有することを特徴としてもよい。

【0164】前記サンプリングパルス停止期間に、前記シフトレジスタに入力されるクロックパルスを、一定電位の出力に変化させるクロックパルス制御回路を有することを特徴としてもよい。

【0165】前記サンプリングパルス停止期間において、前記シフトレジスタから出力されるサンプリングパルスを、一定電位の出力に変化させるサンプリングパルス制御回路を有することを特徴としてもよい。

【0166】前記リセット回路は、NANDとインバータとを有しており、前記NANDに前記デジタル映像信号と切り換え信号とが入力され、前記NANDから出力された信号は前記インバータを介して前記リセット回路から出力されることを特徴としてもよい。

【0167】前記スタートパルス制御回路はNANDとインバータとを有しており、前記NANDに前記スタートパルスと切り換え信号とが入力され、前記NANDから出力された信号は前記インバータを介して前記スタートパルス制御回路から出力されることを特徴としてもよい。

【0168】前記クロックパルス制御回路はNANDとインバータとを有しており、前記NANDに前記クロックパルスと切り換え信号とが入力され、前記NANDから出力された信号は前記インバータを介して前記クロックパルス制御回路から出力されることを特徴としてもよい。

【0169】前記サンプリングパルス制御回路はNANDとインバータとを有しており、前記NANDに前記サンプリングパルスと切り換え信号とが入力され、前記NANDから出力された信号は前記インバータを介して前記サンプリングパルス制御回路から出力されることを特徴としてもよい。

【0170】前記発光素子の発光層は、有機物で構成されていることを特徴としてもよい。

【0171】前記発光素子の発光層は、無機物で構成されていることを特徴としてもよい。

【0172】前記表示装置の駆動方法を用いた携帯情報端末、パーソナルコンピュータ、画像再生装置、テレビ、ヘッドマウントディスプレイ、ビデオカメラであってもよい。

【0173】

【発明の実施の形態】

【0174】(第1の実施の形態) 本発明の表示装置の駆動方法について説明する。

【0175】本発明の表示装置のブロック図を図1に示す。

【0176】表示装置は、ソース信号線駆動回路10

1、ゲート信号線駆動回路107a、選択線駆動回路1

07b、時分割階調データ信号発生回路108及び画素部100によって構成される。ソース信号線駆動回路101は、シフトレジスタ102、LAT1(103)、LAT2(104)及び定電流回路105によって構成されている。ここで時分割階調データ信号発生回路108、ゲート信号線駆動回路107a及び選択線駆動回路107bについては、公知の構造の回路を自由に用いることができる。なお図1では省略したが、レベルシフタやバッファ等を適宜配置しても良い。

【0177】また、図1では画素部100の片側にソース信号線駆動回路101を配置しているが、画素部100の両側に、ソース信号線駆動回路を配置する構成としても良い。駆動回路を画素部100の両側に配置するほうが、表示装置の駆動効率及び信頼性の上で好ましい。

【0178】また、画素部100の構造は、従来例において、図3及び図4で示した構造と同様の構造の画素を用いる。よって、画素の構成についての詳細に説明は省略する。

【0179】以上が、表示装置の構造についての説明である。

【0180】次いで、本発明の表示装置の駆動方法について説明する。

【0181】画素に入力する信号は、デジタルの電流信号とし、時間階調方式を用いて表示を行う。すなわち、画素には一定の信号電流が入力されるかされないかによって、表示が行われるか行われなかが選択される。

【0182】まず、時間階調方式について説明する。

【0183】1つの画像を表示する期間をフレーム期間(F)と表現する。ここで、1フレーム期間は、1/60秒ほどの長さで設定される。これは動画を表示する際に、人間の目がチラツキを感じない程度の時間である。

【0184】また、1フレーム期間はn個のサブフレーム期間SF1～SFnに分けられる。ここでは、サブフレーム期間SF1は、第1のビットの信号に対応する期間であるとする。なお、第1のビットを、最上位ビットとし、第nのビットを最下位ビットとする。

【0185】これらのサブフレーム期間それぞれにおいて、各画素の発光素子が発光するかしないかする。

【0186】ここで、サブフレーム期間SF1～SFnのそれぞれの長さは、各サブフレーム期間に入力されるビットに応じて、例えば、 $SFn : SFn-1 : \dots : SF3 : SF2 : SF1 = 2^0 : 2^1 : 2^2 : \dots : 2^{n-2} : 2^{n-1}$ と表現することができる。

【0187】1フレーム期間中に、発光素子が発光した期間(表示期間)の長さの総和を求めることによって、そのフレーム期間におけるその画素の階調が表現される。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、SF8とSF7において画素が発光した場合には1%の輝度が表現でき、SF6とSF4とSF1を選択した場合には60%

の輝度が表現できる。

【0188】なお、本発明の実施の形態では、入力されたデジタル映像信号をnビットとし、2°階調を表現する場合に、1フレーム期間をn個のサブフレーム期間に分割し、時間階調方式で駆動を行う場合を例に説明しているが、本発明はこれに限定されない。

【0189】つまり一般に、nビットのデジタル映像信号を入力し、2°の階調を表現する場合に、1フレーム期間をr個(rはn以上の自然数)のサブフレーム期間に分割し、階調を表現する手法においても、本実施の形態と同様の駆動方法を用いることができる。ただし、各サブフレーム期間SF1～SFrの長さは、実施する者が適宜定める。

【0190】例えば上位ビットに対応する表示期間を、複数のサブフレーム期間の累計として表現する手法であってもよい。

【0191】また、本実施の形態では、タイミングチャートにおいて、各サブフレーム期間は、上位ビットに対応するサブフレーム期間から下位ビットに対応するサブフレーム期間へと順に現れ、1フレーム期間を構成していた。しかし、本発明の表示装置の駆動方法において、各サブフレーム期間は、その期間の長さによらず、任意の順に現れ、1フレーム期間を構成していてもよい。

【0192】以上が、本発明の表示装置の駆動方法の基本的な説明である。

【0193】次いで、上記時間階調方式を用いる場合の、ソース信号線駆動回路の動作について説明する。

【0194】本発明の表示装置において、各画素の発光素子の発光、非発光を選択するために、ソース信号線駆動回路は、ソース信号線に一定の電流を出力するか、もしくは、電流を出力しない状態を選択しなくてはならない。

【0195】図1に示したソース信号線駆動回路101の各回路の動作について以下に説明する。

【0196】シフトレジスタ102には、クロックパルスCLKとスタートパルスSPが入力される。なお、シフトレジスタ102には、クロックパルスCLKの極性を反転した反転クロックパルスCLKBも入力されるが、図1では図示していない。クロックパルスCLK、反転クロックパルスCLKB、スタートパルスSPによって、シフトレジスタ102は、サンプリングパルスを出力する。このサンプリングパルスに従って、外部より入力されたデジタルビデオ信号VDは、LAT1(103)の各ソース信号線に対応するステージに順に保持される。

【0197】なお、外部より入力されるデジタルビデオ信号は、時分割階調データ信号発生回路108において、時間階調方式で表示装置を駆動するための信号に変換され、LAT1に入力される。

【0198】1水平期間の全てのデジタル映像信号VD

がLAT1に保持されると、ラッチパルスLPが入力されて、LAT1(103)に保持されたデジタル信号電圧VDは、LAT2(104)に一斉に出力される。LAT2(104)に保持されたデジタル映像信号VDは一斉に定電流回路105に入力される。定電流回路105は、入力されたデジタル信号電圧VDに応じて、ソース信号線S1~Sxへの一定電流の入力を選択する。こうしてソース信号線S1~Sxにデジタルの信号電流を出力する。

【0199】ここで、シフトレジスタ102やLAT1(103)、LAT2(104)及び定電流源105については、公知の構成の回路を自由に用いることができる。

【0200】以上が、図1に示したソース信号線駆動回路101の各回路の基本的な動作の説明である。

【0201】次いで、本発明の表示装置の駆動方法について、タイミングチャートを用いて詳細に説明する。

【0202】図2は、本発明の表示装置の駆動方法を示すタイミングチャートである。図1、図2、図3及び図4の符号を用いて説明する。

【0203】ソース信号線駆動回路101において、デジタル信号電圧VDをサンプリングし、LAT1(103)に保持した後、一斉にLAT2(103)に出力するまでの動作については、ソース信号線駆動回路101の各回路の基本的な動作の説明の通りである。よって、ここでは説明は省略する。

【0204】あるサブフレーム期間SFjについての動作について以下に詳しく説明する。

【0205】LAT2(104)に保持されたデジタル信号電圧VDは、定電流回路105に入力される。入力されたデジタル信号電圧VDに応じて定電流回路105は、一定の信号電流の出力を選択する。つまり、LAT2(104)より入力された信号が「1」の信号であった場合は、定電流回路105は、ソース信号線に一定電流を出力する。一方、LAT2(104)より入力されたデジタル信号電圧VDが「0」の信号であった場合は、定電流回路105は、ソース信号線に電流を流さないようにする。

【0206】これによって、あるサブフレーム期間において、選択された画素においてのみ信号電流を入力し、画素の発光素子407を発光させることができる。

【0207】ここで、図2ではソース信号線S1の入力を代表で示すが、全てのソース信号線について、同様の動作が行われる。

【0208】なお、各画素401の発光素子407を発光させる際の、第1のスイッチング用TFT402、第2のスイッチング用TFT403、カレントミラー回路を構成する2つのTFT404及びTFT405の動作は、従来例と同様であるので、ここでは説明は省略する。

【0209】ソース信号線S1に信号が入力され、ゲート信号線G1と選択線C1が選択されたとき、画素1行1列目の画素(以下、画素(1,1)と表記する)の発光素子LED(1,1)は、発光する。この発光素子LED(1,1)は、少なくともSFjの間は発光し続ける。

【0210】一方、ゲート信号線G2が選択され、選択線C2が選択されても、ソース信号線S1には、信号電流が入力されていないため、画素(2,1)の発光素子LED(2,1)は発光しない。画素(2,1)の発光素子LED(2,1)は、少なくとも、次のサブフレーム期間においてゲート信号線G2が選択され、選択線C2が選択されるまで発光しないままである。

【0211】同様の動作を全てのゲート信号線G1~Gy及び選択線C1~Cyについて行くと1サブフレーム期間が終了する。

【0212】1フレーム期間で、各画素が発光したサブフレーム期間の発光期間を合計することによって、各画素の発光輝度を表現することができる。

【0213】以上が、本発明の表示装置の駆動方法の説明である。

【0214】次いで、表示装置のソース信号線駆動回路が有する、定電流回路の構成について説明する。

【0215】本発明の表示装置の定電流回路を実際に構成した例を図29に示す。

【0216】図29(A)において、定電流回路CCは、定電流源1001、電源線1006、スイッチSW1~SW4、インバータInv1、Inv2、端子1007によって構成されている。また、図29(B)は、図29(A)の定電流源1001の構成を詳細に示したものである。図29(B)において、定電流源1001は、TFT1002、オペアンプ1003、抵抗1004、定電圧源1005によって構成されている。

【0217】図29の定電流回路の動作方法について、以下に詳しく説明する。

【0218】デジタル方式において、信号は「1」か「0」で表され、それぞれの信号は、HiまたはLoのいずれかの電圧を有する信号を意味する。

【0219】なお、LAT2より出力される信号において、Hiの電圧に対応する信号が、「1」の信号に対応し、Loの電圧に対応する信号が、「0」の信号に対応する場合を例に説明するが、本実施の形態の構成は、これに限定されない。つまり、Hiの電圧に対応する信号が、「0」の信号に対応し、Loの電圧に対応する信号が、「1」の信号に対応する場合についても容易に応用することができる。

【0220】図29(A)において、LAT2より出力された信号電圧は、スイッチSW2、SW4、インバータInv1を介してスイッチSW1、インバータInv2を介して、スイッチSW3に入力される。LAT2か

らの信号が、「1」の信号に対応する信号であった場合、つまりH<sub>i</sub>の信号であった場合、スイッチSW1とスイッチSW3はオンの状態となり、スイッチSW2とスイッチSW4はオフの状態となる。このとき電源線1006から定電流源1001、スイッチSW1及びスイッチSW3を介して、一定電流I<sub>c</sub>がソース信号線Sに出力される。

【0221】なお、図3に示した構成の画素を用いる場合、一定電流I<sub>c</sub>は負の電流である。つまり、実際には電流は、ソース信号線Sから電源線1006に向かって流れる。

【0222】一方、LAT2より入力された信号が、「0」の信号に対応する信号であった場合、つまりL<sub>o</sub>の信号であった場合、スイッチSW1及びスイッチSW3はオフの状態となり、スイッチSW2及びスイッチSW4はオンの状態となる。このとき、電源線1006から、定電流電1001及びスイッチSW2を介して電流I<sub>c</sub>は接地部分に流れ込む、一方、端子1007には、電源電位V<sub>0</sub>が与えられている。この電源電位V<sub>0</sub>がスイッチSW4を介して、ソース信号線Sに入力される。

【0223】ここで、電源電位V<sub>0</sub>の値は、画素部の電源供給線の電位とほぼ同じ値に設定されている。これによって、LAT2からの信号電圧が「0」の場合、たとえ第1のスイッチング用TFT及び第2のスイッチング用TFTがオンの状態となっても、画素の発光素子は、発光しない状態となる。

【0224】図29(B)に示した定電流源の動作について以下に詳しく説明する。

【0225】電源線1006に接続された抵抗1004を介して、TFT1002のソース領域に電圧が与えられる。ここで、定電圧源1005によって、オペアンプ1003の非反転入力端子に一定電圧が与えられている。ここで、TFT1002のソース領域は、オペアンプ1003の反転入力端子に接続されている。オペアンプ1003の出力端子は、TFT1002のゲート電極に接続されている。

【0226】なお、定電圧源1005の値及び電源線1006の電位は、TFT1002のソース・ドレイン間に電流が流れるように、設定される。

【0227】なお、定電流源1001の構成は、図29(B)の構成に限定されず、公知の構成の定電流源を自由に用いることができる。

【0228】(第2の実施の形態)本実施の形態では、本発明の表示装置の駆動方法において、切り換え信号によって下位ビットの情報のサンプリングの動作を止め、各駆動回路(ソース信号線駆動回路及びゲート信号線駆動回路)の動作を少なくし、消費電力を小さくする手法について説明する。

【0229】表示装置は、nビット(nは2以上の自然数とする)のデジタル映像信号を外部より入力し、階調

を表現することが可能な表示装置であるとする。

【0230】ここで、下位ビット(ここでは、mビットからnビット:mは2以上の自然数で、n以下とする)のデジタル映像信号を除いた、m-1ビットの階調で輝度を表現する手法について説明する。

【0231】また本実施の形態における表示装置の構成を示すブロック図を図7に示す。

【0232】なお、図1で示した部分と同じ部分は、同じ符号を用いて示し、説明は省略する。ソース信号線駆動回路101に入力するスタートパルスSPは、スタートパルス制御回路700を介してソース信号線駆動回路101のシフトレジスタ102に入力されている。ここで、スタートパルス制御回路700は、スタートパルスSPを出力する場合と、一定の信号電位を出力する場合との切り換えを行う回路である。

【0233】また、リセット回路710は、デジタル映像信号VDを、そのまま、ソース信号線駆動回路101に入力する場合と、一律に「0」の信号を入力する場合との切り換えをおこなう回路である。

【0234】ここで、画素部100は、x本のソース信号線S<sub>1</sub>~S<sub>x</sub>及び電源供給線V<sub>1</sub>~V<sub>x</sub>と、y本のゲート信号線G<sub>1</sub>~G<sub>y</sub>及び選択線C<sub>1</sub>~C<sub>y</sub>を有するものとする。

【0235】なお、画素部100の構成は、図4に示したものと同様であるので、ここでは説明は省略する。

【0236】本実施の形態における表示装置の駆動方法を示すタイミングチャートを図5に示す。なお説明には、図7の符号を用いる。また、図4も参照する。

【0237】第1のサブフレーム期間SF1において、スタートパルス制御回路700は、スタートパルスSPをそのままソース信号線駆動回路101のシフトレジスタ102に出力する動作を行っている。この第1のサブフレーム期間の動作については、第1の実施の形態と同様である。

【0238】第1のサブフレーム期間SF1において、スタートパルス(SP)及びクロックパルス(CLK)等が入力され、シフトレジスタ102より出力されたサンプリングパルス(SMP)に応じて、LAT1(103)は外部より入力されたデジタル映像信号VDの第1のビット(最上位ビット)に対応するデジタル映像信号VDを保持する。ここで、LAT1(103)に、全てのソース信号線S<sub>1</sub>~S<sub>x</sub>へ出力する信号が保持されると、保持された信号はラッチパルス(LP)によってLAT2(104)に一斉に入力される。LAT2(104)に保持された信号は、定電流回路105に入力される。定電流回路105は、入力された信号電圧に応じて、ソース信号線への一定電流の出力を選択する。

【0239】定電流回路105及び画素部の駆動方法については、第1の実施の形態と同様であるのでここでは説明は省略する。



【0240】こうして、ソース信号線  $S_1 \sim S_x$  に出力された信号は、ゲート信号線及び選択線が選択された画素に入力され、保持される。

【0241】あるサブフレーム期間において、定電流回路において電流を流すか流さないかして、ゲート信号線及び選択線が選択された画素に信号を入力する期間を、書き込み期間  $T_a$  と呼ぶことにする。

【0242】またサブフレーム期間において、書き込み期間  $T_a$  が終了後、各画素が表示を行う期間を表示期間  $T_s$  と呼ぶことにする。

【0243】特に、第  $i$  ( $i$  は、 $n$  以下の自然数) のサブフレーム期間に対応する書き込み期間を  $T_{ai}$ 、表示期間を  $T_{si}$  と呼ぶことにする。

【0244】なお、図 5 では、あるゲート信号線  $G_k$  に対する動作について代表で示しているが、全てのゲート信号線  $G_1 \sim G_y$  について同様である。

【0245】ここで、各サブフレーム期間の各ゲート信号線に対応する書き込み期間  $T_a$  において、ラッチパルス  $LP$  によって  $LAT_1$  から  $LAT_2$  にデジタル映像信号が出力されると直ぐに、次のゲート信号線に対応する書き込み期間  $T_a$  の信号のサンプリングが始まる。

【0246】ここで、前後のサブフレーム期間の間において、書き込み期間  $T_a$  が重ならないように各サブフレーム期間の書き込み期間  $T_a$  及び表示期間  $T_s$  の長さを設定する必要がある。

【0247】第  $m-1$  のサブフレーム期間における動作までは第 1 のサブフレーム期間と同様である。

【0248】ここで、第  $m-1$  のビットに対応する表示期間を  $T_{sm-1}$  と呼ぶことにする。 $T_{sm-1}$  の表示期間は、第  $m-2$  のビットに対応する表示期間  $T_{Sm-2}$  の信号が、次の信号に新たに書き換えられることによって開始する。

【0249】表示期間  $T_{s1} \sim$  表示期間  $T_{sm-1}$  までは、デジタル映像信号  $VD$  の対応する各ビットの信号に応じて、各画素の発光素子は発光もしくは非発光状態が選択されている。なお、図 5 では、デジタル映像信号  $VD$  の対応する各ビットの信号に応じて、発光もしくは非発光状態が選択されている状態を、表示と表記する。

【0250】一方、第  $m$  のサブフレーム期間から第  $n$  のサブフレーム期間において、下位ビットの信号をサンプリングしないようにするため、以下のような動作を行う。

【0251】第  $m-1$  のサブフレーム期間に対応するデジタル映像信号のサンプリングが終了すると、リセット回路 710 によって、ソース信号線駆動回路 101 には、「0」に対応する信号が入力されるように変化する。この「0」の信号に対応する信号電圧を  $LAT_1$  (103) が、サンプリングする。全ての  $LAT_1$  (103) が「0」の信号を保持すると、ラッチパルス  $LP$  によって、 $LAT_2$  (104) に信号が転送される。

【0252】こうして、第  $m$  のサブフレーム期間の書き込み期間  $T_a$  において、ソース信号線には、信号電流が入力されない。そのため、ゲート信号線及び選択線が選択された画素の保持容量には、一律に、電荷が蓄積されていない状態となる。こうして、 $TFT405$  に、電流が流れず、画素の発光素子は発光しない。

【0253】第  $m$  のサブフレーム期間において、全てのゲート信号線  $G_1 \sim G_y$  及び選択線  $C_1 \sim C_y$  について同様の動作を行い、全ての画素は、非発光状態となる。

10 【0254】この第  $m$  のサブフレーム期間の全ての画素に対する書き込み期間  $T_a$  が終了した時点で、 $LAT_1$  (103) 及び  $LAT_2$  (104) に保持された信号は、すべて「0」の信号に対応する信号電圧となっている。また、全ての画素の保持容量 406 が保持する電圧も、画素のカレントミラー回路を構成する  $TFT$  ( $TFT404$  及び  $TFT405$ ) の、ドレイン電流を流さないような電圧になっている。

20 【0255】本発明では、外部のデジタル映像信号に関わらず「0」の信号に対応する信号電圧を  $LAT_1$  がサンプリングし、ソース信号線に出力することで、 $LAT_1$  及び  $LAT_2$  に保持された信号を「0」の信号に対応した信号電圧とする動作を、リセット動作と呼ぶことにする。また、リセット動作を行う期間を、リセット期間と呼ぶことにする。

30 【0256】次に、リセット期間が終了すると、スタートパルス制御回路 700 は、スタートパルス  $SP$  ではなく、ある一定の電位をシフトレジスタ 102 に入力するように変化する。そのため、シフトレジスタ 102 は、サンプリングパルスを出ししない。そのため、 $LAT_1$  (103) は、第  $m+1$  のサブフレーム期間に対応するデジタル映像信号を保持しない。

【0257】ここで、本明細書中で、サンプリングパルスを出ししないとは、ある一定の電位を出力し続けることを示すものとする。

【0258】そのため、第  $m+1$  のサブフレーム期間においては、第  $m$  のサブフレーム期間の信号が継続して出力される。つまり、全ての画素の発光素子において、非発光の状態が続く。

40 【0259】同様に、第  $m+2$  のサブフレーム期間に対応するデジタル映像信号が  $LAT_1$  に入力されている際も、スタートパルス制御回路 700 はある一定の電位をシフトレジスタ 102 に入力し続ける。そのため、シフトレジスタ 102 はサンプリングパルスを出ししない。そのため、 $LAT_1$  は、デジタル映像信号を保持しない。

【0260】そのため、第  $m+2$  のサブフレーム期間においても、第  $m$  のサブフレーム期間の信号が継続して出力される。つまり、全ての画素が非発光の状態が続く。

50 【0261】上記動作を第  $n$  のサブフレーム期間まで繰り返す。これにより、第  $m+1$  のサブフレーム期間から

第  $n$  のサブフレーム期間までのデジタル映像信号を  $L A T 1$  回路に取り込まないようにし、第  $m$  のサブフレーム期間の非発光の状態を維持する。

【0262】本明細書中では、サンプリングパルスを出ししない期間をサンプリングパルス停止期間と呼ぶことにする。

【0263】なお、本実施の形態においては、第  $m+1$  ~ 第  $n$  のサブフレーム期間においては、リセット回路 7 1 0 は、デジタル映像信号  $V D$  をそのまま出力する動作をしているが、これに限定されない。リセット回路 7 1 0 は、「0」の信号に対応する信号電圧を出力していてもよいし、デジタル映像信号  $V D$  をそのまま出力していてもよい。

【0264】第  $m$  のビットに対応するサブフレーム期間  $S F m$  から第  $n$  のビットに対応するサブフレーム期間  $S F n$  までは、デジタル映像信号  $V D$  の対応する各ビットの信号に関係なく、各画素の発光素子は非発光状態が選択されている。なお、図 5 では、デジタル映像信号  $V D$  の対応する各ビットの信号に関係なく、各画素の発光素子において非発光状態が選択されている状態を、非表示と表記する。

【0265】次のフレーム期間における第 1 のサブフレーム期間に対応するデジタル映像信号のサンプリングが始まると、スタートパルス制御回路 7 0 0 の出力が変化し、再びシフトレジスタ 1 0 2 にスタートパルス  $S P$  が入力されるようになって、第 1 のビットに対応する信号を  $L A T 1$  に保持する。

【0266】以下の動作は、前述した先のフレーム期間の動作と同様である。

【0267】こうして下位ビットに対応する情報のサンプリングを停止することができる。

【0268】ここで、下位ビットに対応するサブフレーム期間において、シフトレジスタからのサンプリングパルスの出力を止めデジタル映像信号のサンプリングを止める前に、リセット動作を行っている理由を説明する。

【0269】仮に、リセット動作を行わない場合に注目する。このとき、シフトレジスタからのサンプリングパルスの出力がなくなりデジタル映像信号  $V D$  がサンプリングされなくなると、各画素の発光素子は、それぞれ、直前のサブフレーム期間の最後の水平期間において、 $L A T 1$  及び  $L A T 2$  に保持された信号によって、発光状態もしくは非発光状態を継続することになる。このとき  $L A T 1$  及び  $L A T 2$  に保持された信号は、任意の信号であるため、全ての画素を一律に非発光状態とすることができない。そのため、輝度表示に影響を与えてしまう。これを防ぐためである。

【0270】なお、カレントミラー回路に電流を流すために各画素の保持容量に保持された電荷を放電するのみでは、新たに信号のサンプリングがなされず  $L A T 1$  回路に保持されたままの信号が、ラッチパルスによってソ

ース信号線に出力されるため、上記問題を解決することができない。そのため、「0」のデジタル映像信号をサンプリングし、 $L A T 1$  及び  $L A T 2$  に保持された信号を「0」の信号に対応する信号電圧に書き換えておくりセット動作が必要となる。

【0271】本実施の形態では、リセット動作を行うサブフレーム期間の全ての水平期間において、「0」の信号に対応する信号電圧をサンプリングしているが、リセット動作は、ソース信号線駆動回路の  $L A T 1$  及び  $L A T 2$  に保持された信号を「0」の信号に対応する信号電圧に書き換える動作を一度行えば十分である。

【0272】つまり、リセット動作を行うサブフレーム期間において、少なくともゲート信号線  $G 1$  に対する水平期間において、サンプリングパルスを出しリセット回路によって入力された「0」の信号に対応する信号電圧をサンプリングする動作を行っておけば、その後の水平期間においてサンプリングパルスの出力をなくしても、ソース信号線  $S 1 \sim S x$  にはデジタル映像信号に関係なく「0」の信号が出力されつづけ、各画素の発光素子は非発光の状態を維持することができる。

【0273】本発明の実施の形態では、入力されたデジタル映像信号を  $n$  ビットとし、 $2^n$  階調を表現する場合に、1 フレーム期間を  $n$  個のサブフレーム期間に分割し、時間階調方式で駆動を行う場合を例に説明しているが、本発明はこれに限定されない。

【0274】つまり一般に、 $n$  ビットのデジタル映像信号を入力し、 $2^n$  の階調を表現する場合に、1 フレーム期間を  $r$  個 ( $r$  は  $n$  以上の自然数) のサブフレーム期間に分割し、階調を表現する手法においても、本実施の形態と同様の駆動方法を用いることができる。ただし、各サブフレーム期間  $S F 1 \sim S F r$  の長さは、実施する者が適宜定める。

【0275】例えば上位ビットに対応する表示期間を、複数のサブフレーム期間の表示期間の累計として表現する手法であってもよい。

【0276】また、本実施の形態では、タイミングチャートにおいて、各サブフレーム期間は、上位ビットに対応するサブフレーム期間から下位ビットに対応するサブフレーム期間へと順に現れ、1 フレーム期間を構成していた。しかし、本発明の表示装置の駆動方法において、各サブフレーム期間は、その期間の長さによらず、任意の順に現れ、1 フレーム期間を構成していてもよい。

【0277】ここで、下位ビットのデジタル映像信号に対応するサブフレーム期間が、2 つ以上連続して現れる場合は、連続する期間のはじめの期間において、デジタル映像信号  $V D$  のかわりに、一律に「0」の信号に対応するデジタル映像信号を入力し、まず画素の発光素子を全て非発光の状態にリセットする。その直後のサブフレーム期間では、スタートパルス制御回路 7 0 0 において、スタートパルスを出し変わりに、一定の電位を

シフトレジスタに入力することによって、LAT1 及び LAT2 において、信号を保持する動作をなくし、ソース信号線駆動回路の消費電力を抑えることができる。

【0278】この後、上位ビットに対応するサブフレーム期間が現れるまで、スタートパルス選択回路 700 において、一定の電位が出力されつづける。

【0279】（第3の実施の形態）第2の実施の形態とは異なる手法で、下位ビットに対応する映像信号を削除する例について、以下に説明する。

【0280】本実施の形態では、本発明のソース信号線駆動回路に入力されるクロックパルス及び反転クロックパルスを、下位ビットに対応するサブフレーム期間のデジタル映像信号のサンプリングの際に、シフトレジスタに入力されないように設定する。つまり、下位ビットのサブフレーム期間に対応するデジタル映像信号のサンプリングにおいて、一定の電位がシフトレジスタに入力するようにする。

【0281】本実施の形態における表示装置の構成を示すブロック図を図8に示す。

【0282】なお、第2の実施の形態で図7で示した部分と同じ部分は、同じ符号を用いて示し、説明は省略する。なお、図7では、クロックパルスのみを示し、反転クロックパルスについては図示しなかったが、反転クロックパルスについても同様の操作を行う。

【0283】ソース信号線駆動回路に入力するクロックパルスは、クロックパルス制御回路 800 を介してソース信号線駆動回路のシフトレジスタ 102 に入力されている。ここで、クロックパルス制御回路 800 は、クロックパルスを出力する場合と、一定の信号電位を出力する場合の切り換えを行う回路である。

【0284】クロックパルス制御回路 800 によって、クロックパルスのかわりに、一定の信号電位を出力することによって、ソース信号線駆動回路 101 のシフトレジスタがサンプリングパルスを出力しないようにし、LAT1 がデジタル映像信号を保持するのを、停止することができる。

【0285】なお、クロックパルス制御回路 800 によって、デジタル映像信号を保持を停止する前に、画素の発光素子を全て非発光状態にする動作（リセット動作）をおこなっておく必要がある。

【0286】リセット動作を行うためにリセット回路 710 が設けられている。

【0287】本実施の形態では、第2の実施の形態と比較して、サンプリングパルスを出力しないようにするための手法は異なるが、その他の動作については同様であるので、ここでは説明は省略する。

【0288】こうして下位ビットに対応する情報のサンプリングを停止することができる。

【0289】（第4の実施の形態）本実施の形態においては、第2の実施の形態や第3の実施の形態と異なった

手法で、下位ビットに対応する映像信号を削除する手法について説明する。

【0290】本実施の形態における表示装置の構成を示すブロック図を図6に示す。

【0291】なお、第2の実施の形態において図7で示した部分や、第3の実施の形態において図8で示した部分と同じ部分は、同じ符号を用いて示し、説明は省略する。

【0292】本実施の形態は、第2の実施の形態及び第3の実施の形態と異なり、ソース信号線駆動回路において、シフトレジスタ 102 はサンプリングパルスを出力する。しかし、LAT1（103）に入力されるサンプリングパルスは、下位ビットに対応する表示期間において、一定の信号電位に固定される。こうして、信号電圧のサンプリングをしないようにする点である。

【0293】ソース信号線駆動回路 101 には、シフトレジスタからの信号を切り替えるサンプリングパルス制御回路 600 が設けられている。ここで、サンプリングパルス回路制御 600 は、サンプリングパルスを出力する場合と、一定の電位を出力する場合の切り換えを行う回路である。

【0294】なお、サンプリングパルス制御回路 600 によって、サンプリングパルスのかわりに、一定の信号電位を出力して、シフトレジスタ 102 がサンプリングパルスを出力しないようにする。しかし、その前に、画素の発光素子を全て非発光状態にするリセット動作をおこなっておく必要がある。

【0295】リセット動作を行うためにリセット回路 710 が設けられている。

【0296】本実施の形態では、第1の実施の形態と比較して、デジタル映像信号のサンプリングを停止するための手法は異なるが、その他の動作については同様であるので、ここでは説明は省略する。

【0297】こうして下位ビットに対応する情報のサンプリングをやめることができる。

【0298】

【実施例】

【0299】（実施例1）本実施例では、本発明の駆動方法を用いる表示装置のソース信号線駆動回路の例を示す。

【0300】第1の実施の形態において図1に示したソース信号線駆動回路の詳細な構成例について図9を用いて説明する。

【0301】ソース信号線駆動回路 2600 において、シフトレジスタ 2601 は、クロックドインバータ 2602 と 2603、インバータ 2604、スイッチ 2605 と 2606 と、NAND 2607 によって構成されている。シフトレジスタ 2601 にスタートパルス SP とクロックパルス CLK が入力される。シフトレジスタ 2601 は、スタートパルスが入力され、クロックパルス

CLKとその極性が反転した信号である反転クロックパルスCLKBによって、クロックドインバータ2602及び2603が導通状態、非導通状態と変化することによって、NAND2607から順に、LAT1にサンプリングパルスを出力する。

【0302】なお、スイッチ2605及びスイッチ2606は、シフトレジスタの操作方向を、図面向かって左右に切り替える働きをする。左右切り替え信号SL/RがLoの信号に対応する場合、シフトレジスタは、図面向かって左から右に順にサンプリングパルスを出し、一方、左右切り換え信号SL/RがHiの信号に対応する場合、図面向かって右から左に順にサンプリングパルスを出しする。

【0303】各ステージのLAT12613は、クロックドインバータ2614、2615と、インバータ2616、2617によって構成されている。

【0304】ここで、各ステージのLAT1とは、1つの映像信号を取り込むLAT1を示すものとする。

【0305】ここでは、デジタル映像信号はVDは、時分割階調データ信号発生回路（図示せず）によって、時間階調方式で表示を行うための信号に変換され、また、シリアル／パラレル変換回路（図示せず）によってp分割（pは自然数）されて入力される。つまり、p本のソース信号線への出力に対応する信号が並列に入力される。サンプリングパルスが、バッファ2608～2611を介して、p個のステージのLAT1（2612）のクロックドインバータ2614、2615に同時に入力されると、p分割された入力信号はp個のステージのLAT1（2612）において、それぞれ同時にサンプリングされる。

【0306】ここでは、x本のソース信号線に信号電流を出力するソース信号線駆動回路2600を例に説明しているの、1水平期間あたり、x/p個のサンプリングパルスが順にシフトレジスタより出力される。各サンプリングパルスに応じて、p個のステージのLAT1（2612）は、同時にp本のソース信号線への出力に対応するデジタル映像信号をサンプリングする。

【0307】本明細書中では、このように外部から入力するデジタル映像信号をp相の並列信号に分割し、p個のデジタル映像信号を1つのサンプリングパルスによって同時に取り込む手法を、p分割駆動と呼ぶことにする。

【0308】上記分割駆動を行うことによって、ソース信号線駆動回路のシフトレジスタのサンプリングにマージンを持たせることができる。こうして表示装置の信頼性を向上させることができる。

【0309】1水平期間の信号がすべて、各ステージのLAT1（2613）に入力されると、ラッチパルスLS及びその極性が反転した、反転ラッチパルスLSBが入力されて、各ステージのLAT1（2613）に入力

された信号を各ステージのLAT2（2619）へ一斉に出力する。なお、2618はp個のステージのLAT2である。

【0310】なお、ここで各ステージのLAT2とは、各ステージのLAT1からの信号をそれぞれ入力する、LAT2回路のことを示すとする。

【0311】LAT2の各ステージ2619は、クロックドインバータ2620、2621及び、インバータ2622、2623によって構成されている。LAT1の各ステージ2613より出力された信号は、LAT2に保持されると同時に、定電流回路2660にも入力される。

【0312】定電流回路2660の構成については、第1の実施の形態で示した、図29と同様の構成の回路を用いることができる。

【0313】なお、定電流回路2660の構成としては、図29に示したものに限定されず、公知の構成の定電流回路を自由に用いることができる。

【0314】LAT2より定電流回路2660に入力された、デジタル映像信号が「1」に対応する信号である場合、ソース信号線には、定電流Icを出力する。一方、デジタル信号が「0」に対応する信号である場合、ソース信号線には、発光素子の対向電極の電位とほぼ同じ電位が出力されて、ソース信号線には電流を流さない。

【0315】なお、ここでは省略したが、レベルシフタ、バッファ等を設けても良い。

【0316】シフトレジスタ及びLAT1、LAT2は、図9の構成に限らず、公知の構成の回路を自由に用いることができる。

【0317】（実施例2）本実施例では、第2の実施の形態において説明した方法を用いて、下位ビットの信号のサンプリングを停止するソース信号線駆動回路の詳細な構成例について説明する。

【0318】説明には、図10を用いる。なお、図10（A）において、図9と同じ部分は、同じ符号を用いて示し、説明は省略する。

【0319】図10（A）において、シフトレジスタに入力するスタートパルスSPは、スタートパルス制御回路2800を介して入力される。図10（B）に、スタートパルス制御回路2800の構成例について示す。

【0320】スタートパルス制御回路2800は、NAND2801及びインバータ2802によって構成されている。ここで、INの端子にはスタートパルスSPが入力されており、OUTの端子は、シフトレジスタ2601への出力になっている。スタートパルス制御回路2800には、切り換え信号Pswが入力されている。

【0321】このスタートパルス制御回路2800の動作について説明する。

【0322】切り換え信号Pswが「1」の信号に対応す

る信号電圧の場合、INより入力されたスタートパルスSPの信号は、OUT端子から出力される。一方、切り換え信号Pswが「0」の信号に対応する信号電圧の場合、INより入力されたスタートパルスSPの信号に関わらず、OUT端子からは、「0」の信号電圧に対応する信号が出力される。

【0323】この切り換え信号Pswを、上位ビットに対応するサブフレーム期間及びリセット動作を行う期間においては、「1」の信号に保ち、下位ビットに対応するサブフレーム期間においては、リセット動作を行う期間を除いて、「0」の信号に保つ。これによって、所定のサブフレーム期間においてのみ、サンプリングパルスの出力をなくす。こうして、デジタル映像信号の下位ビットの情報をLAT1に、サンプリングしないようにすることができる。

【0324】図10(C)に、リセット回路2666の構成例について示す。

【0325】リセット回路2666は、NAND2803及びインバータ2804によって構成されている。ここで、IN1～INpの端子には、p分割されたデジタル映像信号VDがそれぞれ入力されており、OUT1～OUTpの端子は、LAT1(2612)への出力になっている。リセット回路2666には、切り換え信号R

Pswが入力されている。

【0326】このリセット回路2666の動作について説明する。

【0327】切り換え信号RPs wが「1」の信号に対応する信号電圧の場合、IN1～INpより入力されたデジタル映像信号VDは、それぞれOUT1～OUTp端子から出力される。一方、切り換え信号RPs wが「0」の信号に対応する信号電圧の場合、IN1～INpより入力されたデジタル映像信号VDに関わらず、OUT1～OUTp端子からは、「0」の信号電圧に対応する信号が出力される。

【0328】この切り換え信号RPs wを、上位ビットに対応するサブフレーム期間においては、「1」の信号に保ち、サンプリングパルスを出力しないような動作を行う期間(サンプリングパルス停止期間)を開始する前の期間(リセット期間)において、「0」の信号とする。これによって、LAT1及びLAT2に保持された信号をすべて、「0」に対応する信号に書き換えることができる。

【0329】こうして、表示に関与するビット数を減らし、ソース信号線駆動回路のサンプリングの動作を少なくして、表示装置の消費電力を抑えることができる。

【0330】本発明は、実施例1と自由に組み合わせて実施することが可能である。

【0331】(実施例3)本実施例では、第3の実施の形態において説明した方法を用いて、下位ビットの信号を削除する回路の詳細な構成例について図11を用いて

説明する。

【0332】なお、図11(A)において、実施例1の図9及び実施例2の図10で示した部分と同じ部分は、同じ符号を用いて表し、説明は省略する。

【0333】図11(A)において、クロックパルス制御回路2900を介して、クロックパルスCLKがシフトレジスタ2601に入力される。図11(B)に、クロックパルス制御回路2900の構成例を示す。

【0334】クロックパルス制御回路2900は、NAND2801及びインバータ2802によって構成されている。ここで、IN端子にはクロックパルスCLKが入力されており、OUT端子は、シフトレジスタ2601への出力になっている。クロックパルス制御回路2900には、切り換え信号Pswが入力されている。

【0335】このクロックパルス制御回路2900の動作について説明する。

【0336】切り換え信号Pswが「1」の信号に対応する信号電圧の場合、INより入力されたクロックパルスCLKの信号は、OUT端子から出力される。一方、切り換え信号Pswが「0」の信号に対応する信号電圧の場合、INより入力されたクロックパルスCLKの信号に関わらず、OUT端子からは、「0」の信号電圧に対応する信号が出力される。

【0337】この切り換え信号Pswを、上位ビットに対応するサブフレーム期間及びリセット動作を行う期間においては、「1」の信号に保ち、下位ビットに対応するサブフレーム期間においては、リセット動作を行う期間を除いて、「0」の信号に保つ。これによって、所定のサブフレーム期間においてのみ、サンプリングパルスの出力をなくし、デジタル映像信号の下位ビットの情報をLAT1に、サンプリングしないようにすることができる。

【0338】図11(C)に、リセット回路2666の構成例について示す。

【0339】リセット回路2666は、NAND2803及びインバータ2804によって構成されている。ここで、IN1～INpの端子には、p分割されたデジタル映像信号VDがそれぞれ入力されており、OUT1～OUTpの端子は、LAT1(2612)への出力になっている。リセット回路2666には、切り換え信号RPs wが入力されている。

【0340】このリセット回路2666の動作について説明する。

【0341】切り換え信号RPs wが「1」の信号に対応する信号電圧の場合、IN1～INpより入力されたデジタル映像信号VDは、OUT1～OUTp端子から出力される。一方、切り換え信号RPs wが「0」の信号に対応する信号電圧の場合、IN1～INpより入力されたデジタル映像信号VDに関わらず、OUT1～OUTp端子からは、「0」の信号電圧に対応する信号が出力さ

れる。

【0342】この切り換え信号  $R P s w$  を、上位ビットに対応するサブフレーム期間においては、「1」の信号に保ち、サンプリングパルスを出力しないような動作を行う期間（サンプリングパルス停止期間）を開始する前の期間（リセット期間）において、「0」の信号とする。これによって、 $L A T 1$  及び  $L A T 2$  に保持された信号をすべて、「0」に対応する信号に書き換えることができる。

【0343】こうして、表示に関与するビット数を減らし、ソース信号線駆動回路のサンプリングの動作を少なくして、表示装置の消費電力を抑えることができる。

【0344】本発明は、実施例 1 と自由に組み合わせて実施することが可能である。

【0345】（実施例 4）本実施例では、第 4 の実施の形態において説明した方法を用いて、下位ビットの信号を削除する回路の構成例について説明する。

【0346】なお、図 12 (A) において、実施例 1 の図 9、実施例 2 の図 10 及び実施例 3 の図 11 で示した部分と同じ部分は、同じ符号を用いて表し、説明は省略する。

【0347】図 12 (A) において、シフトレジスタ 2601 より出力されるサンプリングパルスは、サンプリングパルス制御回路 3000 を介して  $L A T 1$  入力される。図 12 (B) に、サンプリングパルス制御回路 3000 の構成例について示す。

【0348】サンプリングパルス制御回路 3000 は、 $N A N D 2801$  及びインバータ 2802 によって構成されている。ここで、 $I N$  の端子にはサンプリングパルスが入力されており、 $O U T$  の端子は、 $L A T 1$  への出力になっている。サンプリングパルス制御回路 3000 には、切り換え信号  $P s w$  が入力されている。

【0349】このサンプリングパルス制御回路 3000 の動作について説明する。

【0350】切り換え信号  $P s w$  が「1」の信号に対応する信号電圧の場合、 $I N$  より入力されたサンプリングパルスの信号は、 $O U T$  端子から出力される。一方、切り換え信号  $P s w$  が「0」の信号に対応する信号電圧の場合、 $I N$  より入力されたサンプリングパルスの信号に関わらず、 $O U T$  端子からは、「0」の信号電圧に対応する信号が出力される。

【0351】この切り換え信号  $P s w$  を、リセット動作を行う期間及び上位ビットに対応するサブフレーム期間においては、「1」の信号に保ち、下位ビットに対応するサブフレーム期間においては、リセット動作を行う期間を除いて、「0」の信号に保つ。これによって、所定のサブフレーム期間においてのみ、サンプリングパルスの出力をなくし、デジタル映像信号の下位ビットの情報を  $L A T 1$  に、サンプリングしないようにすることができる。

【0352】図 12 (C) に、リセット回路 2666 の構成例について示す。

【0353】リセット回路 2666 は、 $N A N D 2803$  及びインバータ 2804 によって構成されている。ここで、 $I N 1 \sim I N p$  の端子には、 $p$  分割されたデジタル映像信号  $V D$  がそれぞれ入力されており、 $O U T 1 \sim O U T p$  の端子は、 $L A T 1$  (2612) への出力になっている。リセット回路 2666 には、切り換え信号  $R P s w$  が入力されている。

【0354】このリセット回路 2666 の動作について説明する。

【0355】切り換え信号  $R P s w$  が「1」の信号に対応する信号電圧の場合、 $I N 1 \sim I N p$  より入力されたデジタル映像信号  $V D$  は、 $O U T 1 \sim O U T p$  端子から出力される。一方、切り換え信号  $R P s w$  が「0」の信号に対応する信号電圧の場合、 $I N 1 \sim I N p$  より入力されたデジタル映像信号  $V D$  に関わらず、 $O U T 1 \sim O U T p$  端子からは、「0」の信号電圧に対応する信号が出力される。

【0356】この切り換え信号  $R P s w$  を、上位ビットに対応するサブフレーム期間においては、「1」の信号に保ち、サンプリングパルスを出力しないような動作を行う期間（サンプリングパルス停止期間）を開始する前の期間（リセット期間）において、「0」の信号とする。これによって、 $L A T 1$  及び  $L A T 2$  に保持された信号をすべて、「0」に対応する信号に書き換えることができる。

【0357】こうして、表示に関与するビット数を減らし、ソース信号線駆動回路のサンプリングの動作を少なくして、表示装置の消費電力を抑えることができる。

【0358】本発明は、実施例 1 と自由に組み合わせて実施することが可能である。

【0359】（実施例 5）本実施例では、本発明の駆動方法を用いる表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路）の  $T F T$  を同時に作製する方法について説明する。

【0360】但し、説明を簡単にするために、画素部 5070 に関しては、第 1 のスイッチング用  $T F T 5074$  と、カレントミラー回路を構成する  $T F T$  のうちの発光素子に接続された方の  $T F T$ （本実施例では、この  $T F T$  を駆動用  $T F T 5075$  と呼ぶことにする）を代表的に示すものとする。その他の  $T F T$  についても同様に形成することができる。また、駆動回路部 5071 に関しては基本単位である  $n$  チャネル型  $T F T 5072$  と  $p$  チャネル型  $T F T 5073$  を含む  $C M O S$  回路 5076 を図示することとする。

【0361】なお、第 1 のスイッチング用  $T F T 5074$  としては、 $n$  チャネル型  $T F T$  を使い、駆動用  $T F T 5075$  としては、 $p$  チャネル型  $T F T$  を用いている

が、本発明の表示装置の画素を構成する TFT は、これに限定されず、pチャネル型 TFT でも nチャネル型 TFT でもどちらも良い。

【0362】但し、カレントミラー回路を構成する 2 つの TFT の極性は同じにする必要がある。

【0363】また、駆動回路を構成する素子として示した CMOS 回路を構成する TFT は、どちらもシングルゲート型の TFT を用い、第 1 のスイッチング用 TFT としては、ダブルゲート型の TFT を用い、駆動用 TFT としては、シングルゲート型の TFT を用いているが、本発明の表示装置を構成する TFT の構造は、これに限定されず、シングルゲート構造でも、ダブルゲート構造でも、もしくはそれ以上のダブルゲート構造の TFT を用いても良い。

【0364】なお、カレントミラー回路を構成する 2 つの TFT の特性は同じにするのが望ましい。

【0365】まず、図 23 (A) に示すように、コーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5001 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5002 を形成する。例えば、プラズマ CVD 法で  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化シリコン膜 5002a を 10~200 [nm] (好ましくは 50~100 [nm]) 形成し、同様に  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化水素化シリコン膜 5002b を 50~200 [nm] (好ましくは 100~150 [nm]) の厚さに積層形成する。本実施例では下地膜 5002 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0366】島状半導体層 5003~5006 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5003~5006 の厚さは 25~80 [nm] (好ましくは 30~60 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ( $\text{SiGe}$ ) 合金などで形成すると良い。

【0367】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光 (連続発振) 型のエキシマレーザーや YAG レーザー、YVO<sub>4</sub> レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 [Hz] とし、レーザーエネルギー密度を 100~400 [mJ/cm<sup>2</sup>] (代表的には 200~300 [mJ/cm<sup>2</sup>]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用い

ルス発振周波数 1~10 [kHz] とし、レーザーエネルギー密度を 300~600 [mJ/cm<sup>2</sup>] (代表的には 350~500 [mJ/cm<sup>2</sup>]) とすると良い。そして幅 100~1000 [ $\mu\text{m}$ ]、例えば 400 [ $\mu\text{m}$ ] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 80~98 [%] として行う。

【0368】次いで、島状半導体層 5003~5006 を覆うゲート絶縁膜 5007 を形成する。ゲート絶縁膜 5007 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40~150 [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と  $\text{O}_2$  とを混合し、反応圧力 40 [Pa]、基板温度 300~400 [°C] とし、高周波 (13.56 [MHz])、電力密度 0.5~0.8 [W/cm<sup>2</sup>] で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 400~500 [°C] の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0369】そして、ゲート絶縁膜 5007 上にゲート電極を形成するための第 1 の導電膜 5008 と第 2 の導電膜 5009 とを形成する。本実施例では、第 1 の導電膜 5008 を Ta で 50~100 [nm] の厚さに形成し、第 2 の導電膜 5009 を W で 100~300 [nm] の厚さに形成する。

【0370】Ta 膜はスパッタ法で、Ta のターゲットを Ar でスパッタすることにより形成する。この場合、Ar に適量の Xe や Kr を加えると、Ta 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 $\alpha$  相の Ta 膜の抵抗率は 20 [ $\mu\Omega\text{cm}$ ] 程度でありゲート電極に使用することが出来るが、 $\beta$  相の Ta 膜の抵抗率は 180 [ $\mu\Omega\text{cm}$ ] 程度でありゲート電極とするには不向きである。 $\alpha$  相の Ta 膜を形成するために、Ta の  $\alpha$  相に近い結晶構造をもつ窒化タンタルを 10~50 [nm] 程度の厚さで Ta の下地に形成しておくことと  $\alpha$  相の Ta 膜を容易に得ることが出来る。

【0371】W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン ( $\text{WF}_6$ ) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 [ $\mu\Omega\text{cm}$ ] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999 [%] の W ターゲットを用い、さ

らに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 [\mu \Omega \text{cm}]$ を実現することが出来る。

【0372】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0373】次に、レジストによりマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ を混合し、 $1 [\text{Pa}]$ の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0374】上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 [\text{nm}]$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011 $\sim$ 5016(第1の導電層5011a $\sim$ 5016aと第2の導電層5011b $\sim$ 5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011 $\sim$ 5016で覆われない領域は $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。(図23(B))

【0375】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10$

$^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を $60 \sim 100 [\text{keV}]$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011 $\sim$ 5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017 $\sim$ 5025が形成される。第1の不純物領域5017 $\sim$ 5025には $1 \times 10^{10} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^2]$ の濃度範囲でn型を付与する不純物元素を添加する。

(図23(B))

【0376】次に、図23(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026 $\sim$ 5031

(第1の導電層5026a $\sim$ 5031aと第2の導電層5026b $\sim$ 5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026 $\sim$ 5031で覆われない領域はさらに $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

【0377】W膜やTa膜の $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である $\text{WF}_6$ が極端に高く、その他の $\text{WCl}_6$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$ は同程度である。従って、 $\text{CF}_4$ と $\text{Cl}_2$ の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の $\text{O}_2$ を添加すると $\text{CF}_4$ と $\text{O}_2$ が反応して $\text{CO}$ と $\text{F}$ になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 $\text{O}_2$ を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0378】そして、図24(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 [\text{keV}]$ とし、 $1 \times 10^{13} [\text{atoms}/\text{cm}^2]$ のドーピング量で行い、図23(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026 $\sim$ 5030を不純物元素に対するマスクとして用い、第1の導電層5026a $\sim$ 5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうし



て、第3の不純物領域5032~5036が形成される。この第3の不純物領域5032~5036に添加されたリン(P)の濃度は、第1の導電層5026a~5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a~5030aのテーパ部と重なる半導体層において、第1の導電層5026a~5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0379】図24(B)に示すように第3のエッチング処理を行う。エッチングガスに $\text{CHF}_3$ を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a~5031aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037~5042(第1の導電層5037a~5042aと第2の導電層5037b~5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037~5042で覆われない領域はさらに200~50[nm]程度エッチングされ薄くなった領域が形成される。

【0380】第3のエッチング処理によって、第3の不純物領域5032~5036においては、第1の導電層5037a~5041aと重なる第3の不純物領域5032a~5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b~5036bとが形成される。

【0381】そして、図24(C)に示すように、pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043~5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層5003、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043~5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{10} \sim 2 \times 10^{21}$  [atoms/cm<sup>3</sup>]となるようにする。

【0382】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037~5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0383】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。

その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400~700[℃]、代表的には500~600[℃]で行うものであり、本実施例では500[℃]で4時間の熱処理を行う。ただし、第3の形状の導電層5037~5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0384】さらに、3~100[%]の水素を含む雰囲気中で、300~450[℃]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0385】次いで、図25(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100~200[nm]の厚さで形成する。その上に有機絶縁材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057~5062、5064をパターニング形成した後、接続配線5062に接する画素電極5063をパターニング形成する。

【0386】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5[μm](さらに好ましくは2~4[μm])とすれば良い。

【0387】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、n型の不純物領域5017、5018、5021、5023またはp型の不純物領域5043~5054に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0388】また、配線(接続配線)5057~5062、5064として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0389】また、本実施例では、画素電極5063としてITO膜を110[nm]の厚さに形成し、パターンニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5063が発光素子の陽極となる。(図25(A))

【0390】次に、図25(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとならば段差に起因する有機化合物層の劣化が顕著な問題となってしまうため、注意が必要である。

【0391】次に、有機化合物層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機化合物層5066の膜厚は80~200[nm](典型的には100~120[nm])、陰極5067の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

【0392】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機化合物層および陰極を形成する。但し、有機化合物層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機化合物層および陰極を形成するのが好ましい。

【0393】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機化合物層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機化合物層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0394】ここではRGBに対応した3種類の発光素子を形成する方式を用いたが、白色発光の発光素子とカラーフィルタを組み合わせた方式、青色または青緑発光の発光素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応した発光素子を重ねる方式などを用いても良い。

【0395】なお、有機化合物層5066としては公知

の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造を有機化合物層とすれば良い。

【0396】次に、同じゲート信号線にゲート電極が接続された第1のスイッチング用TFTを有する画素(同じラインの画素)上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0397】なお、陰極5067は、全ての画素について共通としてもよい。

【0398】最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、有機化合物層5066を水分等から保護することができ、発光素子の信頼性をさらに高めることが出来る。

【0399】こうして図25(B)に示すような構造の表示装置が完成する。なお、本実施例における表示装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ドレイン・ソース電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0400】ところで、本実施例の表示装置は、画素部5070だけでなく駆動回路部5071にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。

【0401】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでの駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、ラッチなどが含まれる。

【0402】本実施例の場合、nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L<sub>ov</sub>領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(L<sub>off</sub>領域)およびチャネル形成領域を含む。

【0403】また、CMOS回路5076のpチャネル型TFT5073は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0404】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるよう

なCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。

【0405】なお、実際には図25(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりすると発光素子の信頼性が向上する。

【0406】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では表示装置という。

【0407】また、本実施例で示す工程に従えば、表示装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0408】本実施例は、実施例1~4と自由に組み合わせることで実施することが可能である。

【0409】(実施例6)本実施例では、本発明の表示装置の封止の方法について図22を用いて説明する。

【0410】図22(A)は、表示装置の上面図であり、図22(B)は、図22(A)のA-A'における断面図、図22(C)は図22(A)のB-B'における断面図である。

【0411】基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。

【0412】ここで例えば、第1のゲート信号線駆動回路4004aは、図1におけるゲート信号線駆動回路107aに相当する。また、第2のゲート信号線駆動回路4004bは、選択線駆動回路107bに相当する。

【0413】よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、基板4001上に形成され、シール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0414】また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、bとは、複数のTFTを有している。図22(B)では代表的に、下

地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれる駆動用TFT4202を図示した。なお、本実施例では、本発明の画素のカレントミラー回路を構成する2つのTFTのうち、発光素子と接続されているTFTを駆動用TFTと呼ぶものとする。

【0415】本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFT及びnチャネル型TFTが用いられ、駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には駆動用TFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0416】駆動TFT4201及び駆動用TFT4202上には層間絶縁膜(平坦化膜)4301が形成され、その上に駆動用TFT4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0417】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機化合物層4204が形成される。有機化合物層4204は公知の有機材料または無機材料を用いることができる。また、有機材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0418】有機化合物層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機化合物層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0419】有機化合物層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機化合物層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機化合物層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0420】以上のようにして、画素電極(陽極)42

03、有機化合物層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0421】4005aは電源供給線に接続された引き回し配線であり、駆動用TFT4202のソース領域に電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4401に電気的に接続される。

【0422】シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0423】但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0424】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0425】また充填材4103を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0426】図22（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0427】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0428】本実施例は、実施例1～実施例5と自由に組み合わせて実施することが可能である。

【0429】（実施例7）本実施例では、本発明の電子機器について図27を用いて説明する。

【0430】図27（A）に本発明の携帯情報端末の模式図を示す。携帯情報端末は、本体2701a、操作スイッチ2701b、電源スイッチ2701c、アンテナ2701d、表示部2701e、外部入力ポート2701fによって構成されている。実施の形態1～実施の形態4及び実施例1～実施例6に示した駆動方法を用いる表示装置を、表示部2701eに用いる。

【0431】図27（B）に本発明のパーソナルコンピュータの模式図を示す。パーソナルコンピュータは、本体2702a、筐体2702b、表示部2702c、操作スイッチ2702d、電源スイッチ2702e、外部入力ポート2702fによって構成されている。実施の形態1～実施の形態4及び実施例1～実施例6に示した駆動方法を用いる表示装置を、表示部2702cに用いる。

【0432】図27（C）に本発明の画像再生装置の模式図を示す。画像再生装置は、本体2703a、筐体2703b、記録媒体（例えばDVD）2703c、表示部2703d、音声出力部2703e、操作スイッチ2703fによって構成されている。実施の形態1～実施の形態4及び実施例1～実施例6に示した駆動方法を用いる表示装置を、表示部2703dに用いる。

【0433】図27（D）に本発明のテレビの模式図を示す。テレビは、本体2704a、筐体2704b、表示部2704c、操作スイッチ2704dによって構成されている。実施の形態1～実施の形態4及び実施例1～実施例6に示した駆動方法を用いる表示装置を、表示部2704cに用いる。

【0434】図27（E）に本発明のヘッドマウントディスプレイの模式図を示す。ヘッドマウントディスプレイは、本体2705a、モニター部2705b、頭部固定バンド2705c、表示部2705d、光学系2705eによって構成されている。実施の形態1～実施の形態4及び実施例1～実施例6に示した駆動方法を用いる表示装置を、表示部2705dに用いる。

【0435】図27（F）に本発明のビデオカメラの模式図を示す。ビデオカメラは、本体2706a、筐体2706b、接続部2706c、受像部2706d、接眼部2706e、バッテリー2706f、音声入力部2706g、表示部2706hによって構成されている。実

51

施の形態 1 ～実施の形態 4 及び実施例 1 ～実施例 6 に示した駆動方法を用いる表示装置を、表示部 2706h に用いる。

【0436】本発明は、上記応用電子機器に限定されず、様々な電子機器とすることができる。

【0437】

【発明の効果】本発明は、上記構成により、発光素子が発光する期間をデジタル方式で変化させ、輝度を表現する時間階調方式で、電流駆動型の画素を駆動させる。これによって、表示ムラが少なく、且つ消費電力が小さく、環境温度の変化に対しても一定の表示が可能な表示装置の駆動方法が得られる。

【0438】また、下位ビットに対応するサブフレーム期間におけるデジタル映像信号のサンプリングを止めることによって、表示装置の消費電力を抑えることができる。

【図面の簡単な説明】

【図 1】 本発明の表示装置の構成を示すブロック図。

【図 2】 本発明の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 3】 本発明の表示装置の画素の構成を示す図。

【図 4】 本発明の表示装置の画素部の構成を示す回路図。

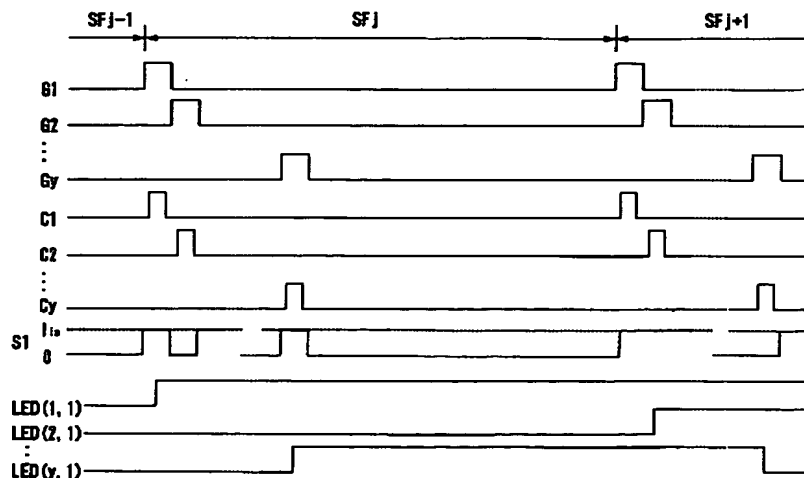
【図 5】 本発明の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 6】 本発明の表示装置の構成を示すブロック図。

【図 7】 本発明の表示装置の構成を示すブロック図。

【図 8】 本発明の表示装置の構成を示すブロック図。

【図 2】



52

【図 9】 本発明の表示装置のソース信号線駆動回路の構成を示す図。

【図 10】 本発明の表示装置のソース信号線駆動回路の構成を示す図。

【図 11】 本発明の表示装置のソース信号線駆動回路の構成を示す図。

【図 12】 本発明の表示装置のソース信号線駆動回路の構成を示す図。

【図 13】 従来の表示装置の画素の構成を示す図。

【図 14】 従来の表示装置の画素部の構成を示す図。

【図 15】 従来の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 16】 従来の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 17】 従来の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 18】 従来の表示装置の構成を示すブロック図。

【図 19】 従来の表示装置の構成を示すブロック図。

【図 20】 従来の表示装置の構成を示すブロック図。

【図 21】 従来の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 22】 本発明の表示装置の封止の方法を示す図。

【図 23】 本発明の表示装置の作製工程を示す図。

【図 24】 本発明の表示装置の作製工程を示す図。

【図 25】 本発明の表示装置の作製工程を示す図。

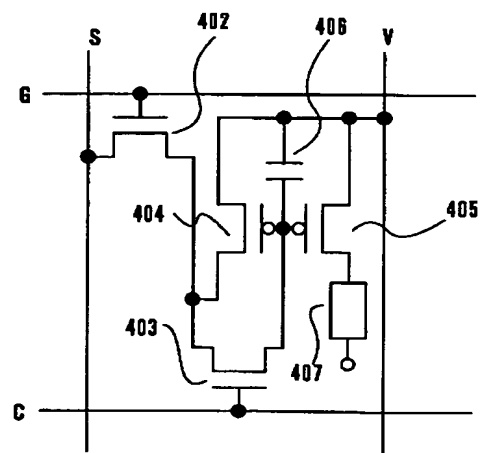
【図 26】 発光素子の温度特性を示す図。

【図 27】 本発明の表示装置を応用した電子機器を示す図。

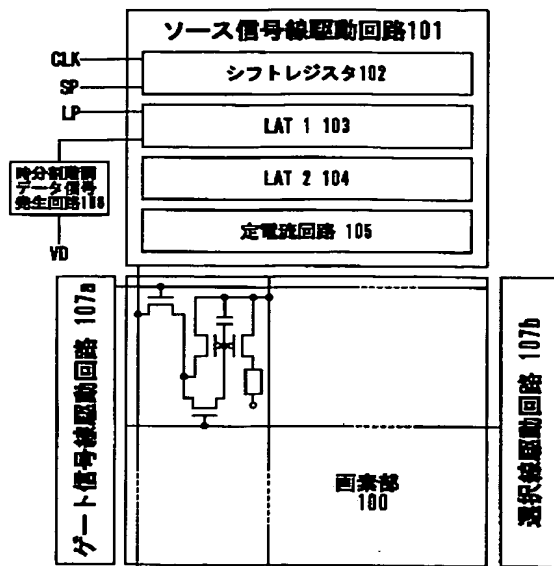
【図 28】 駆動用 TFT の動作領域を示す図。

【図 29】 本発明の表示装置の定電流回路の構成を示す回路図。

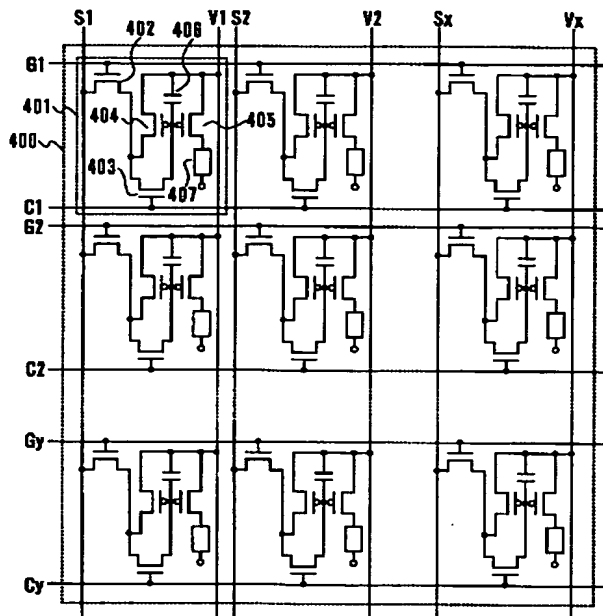
【図 3】



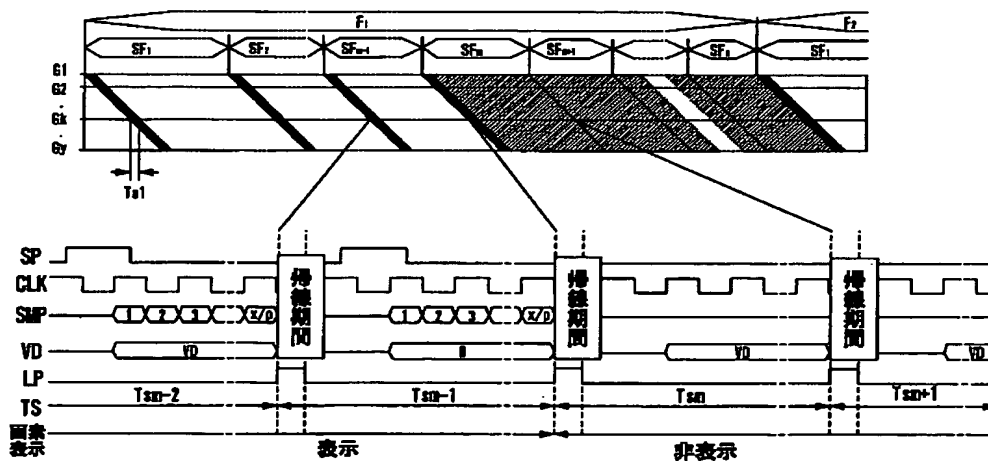
【図 1】



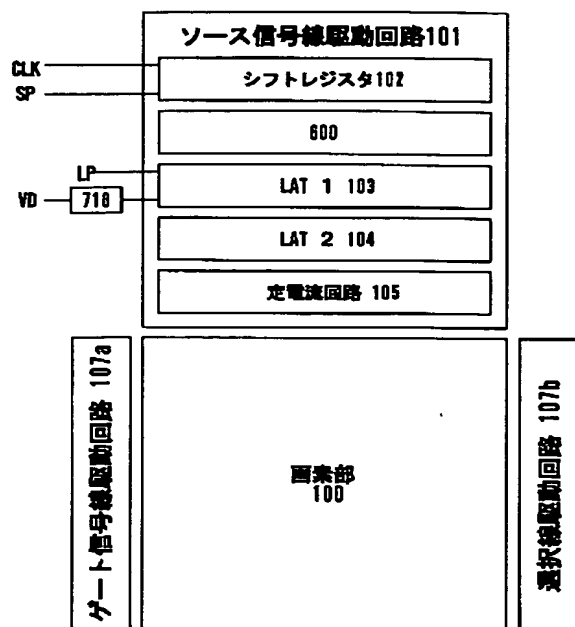
【図 4】



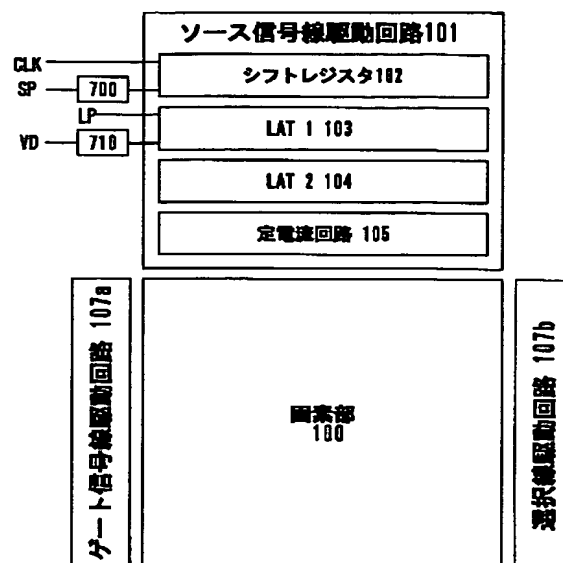
【図 5】



【図 6】

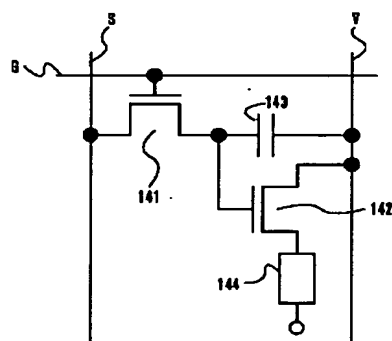
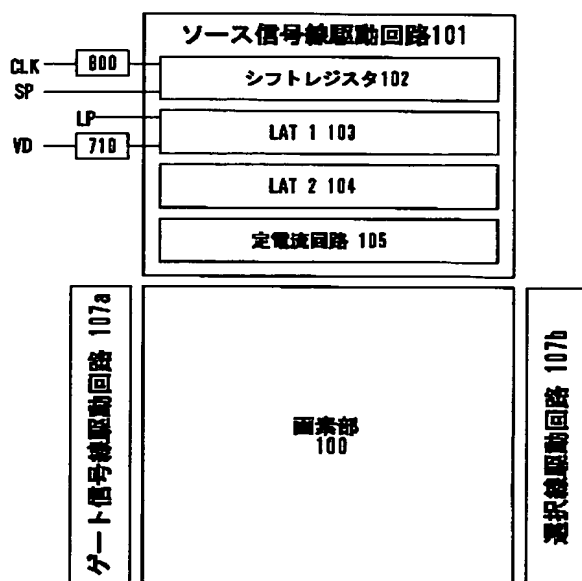


【図 7】

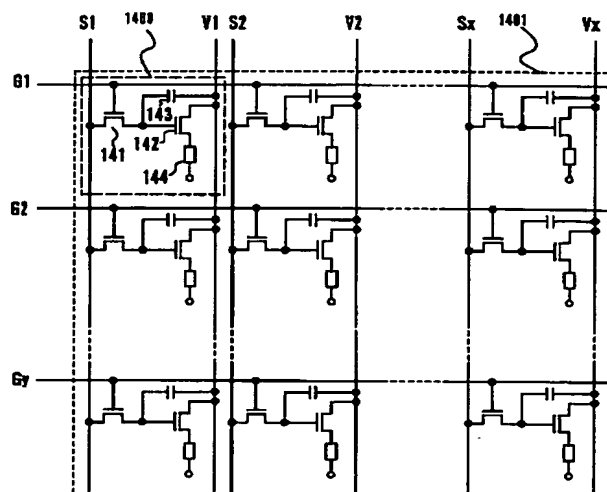


【図 13】

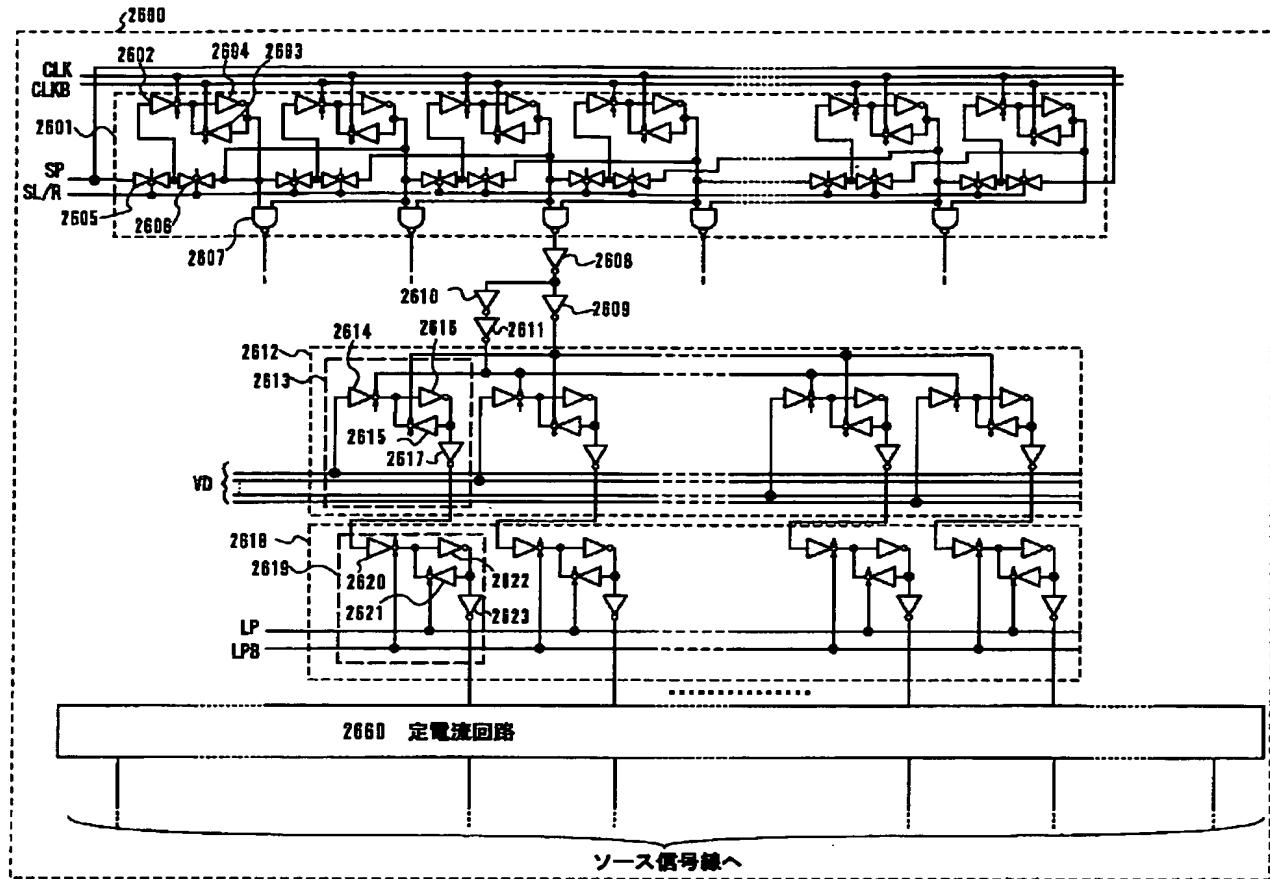
【図 8】



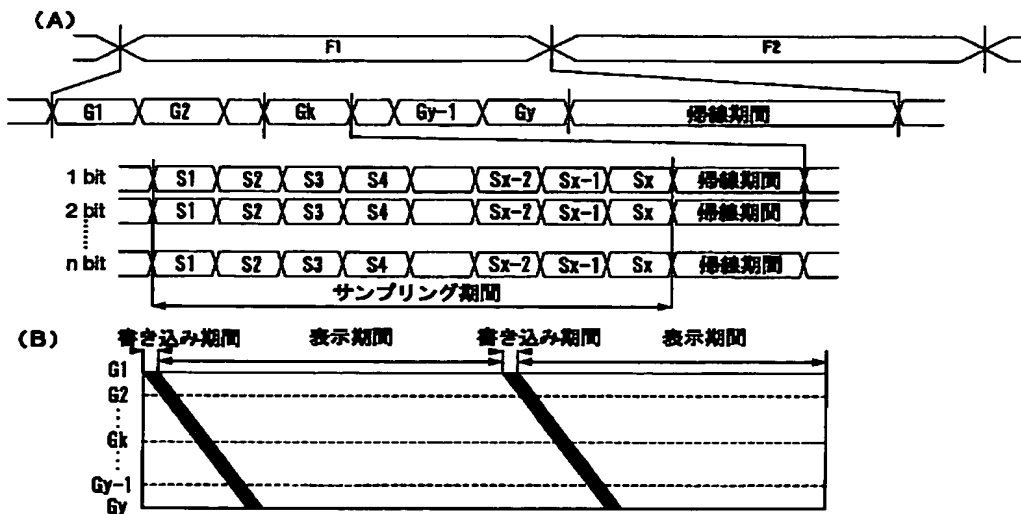
【図 14】



【図 9】

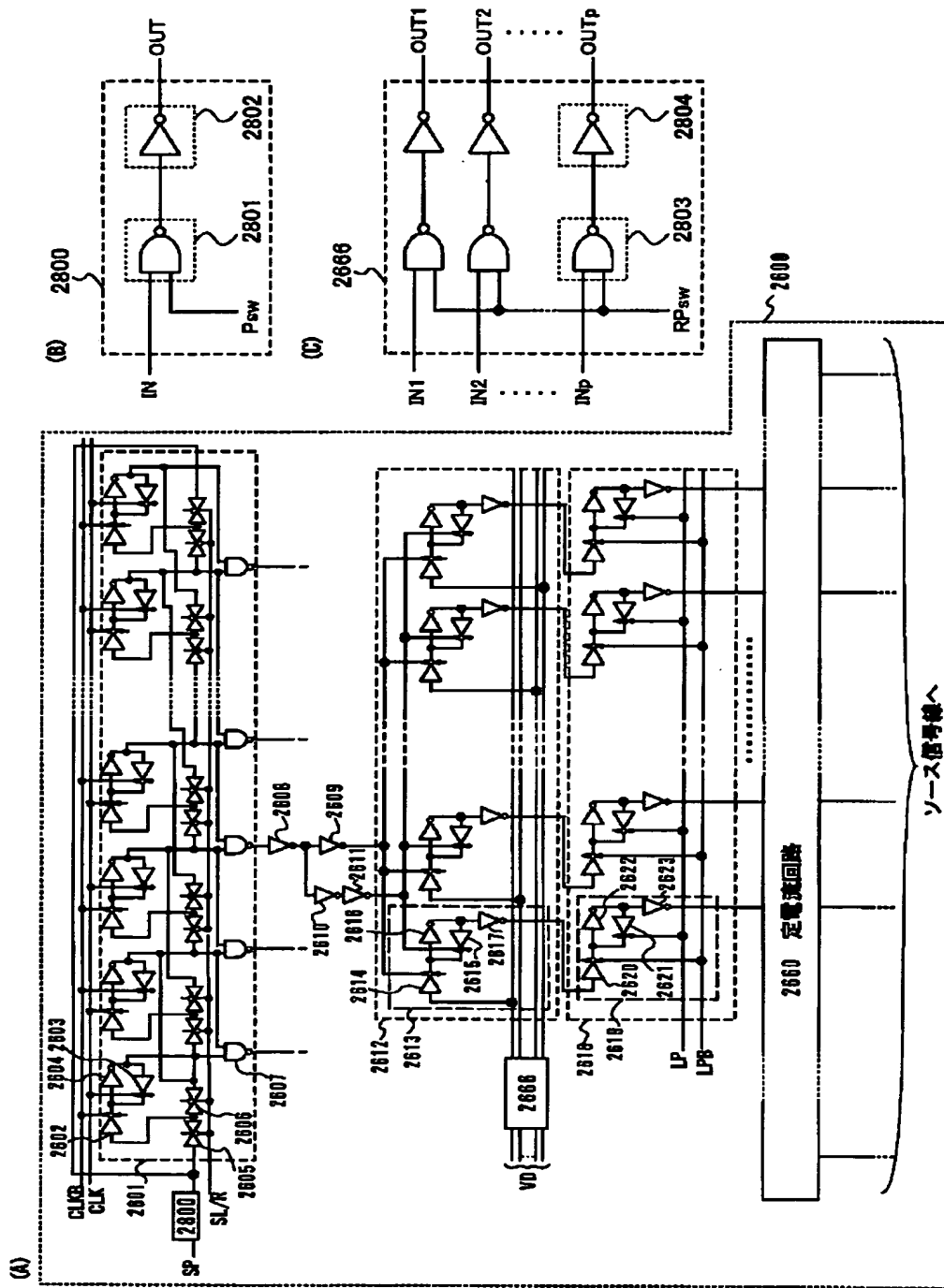


【図 15】



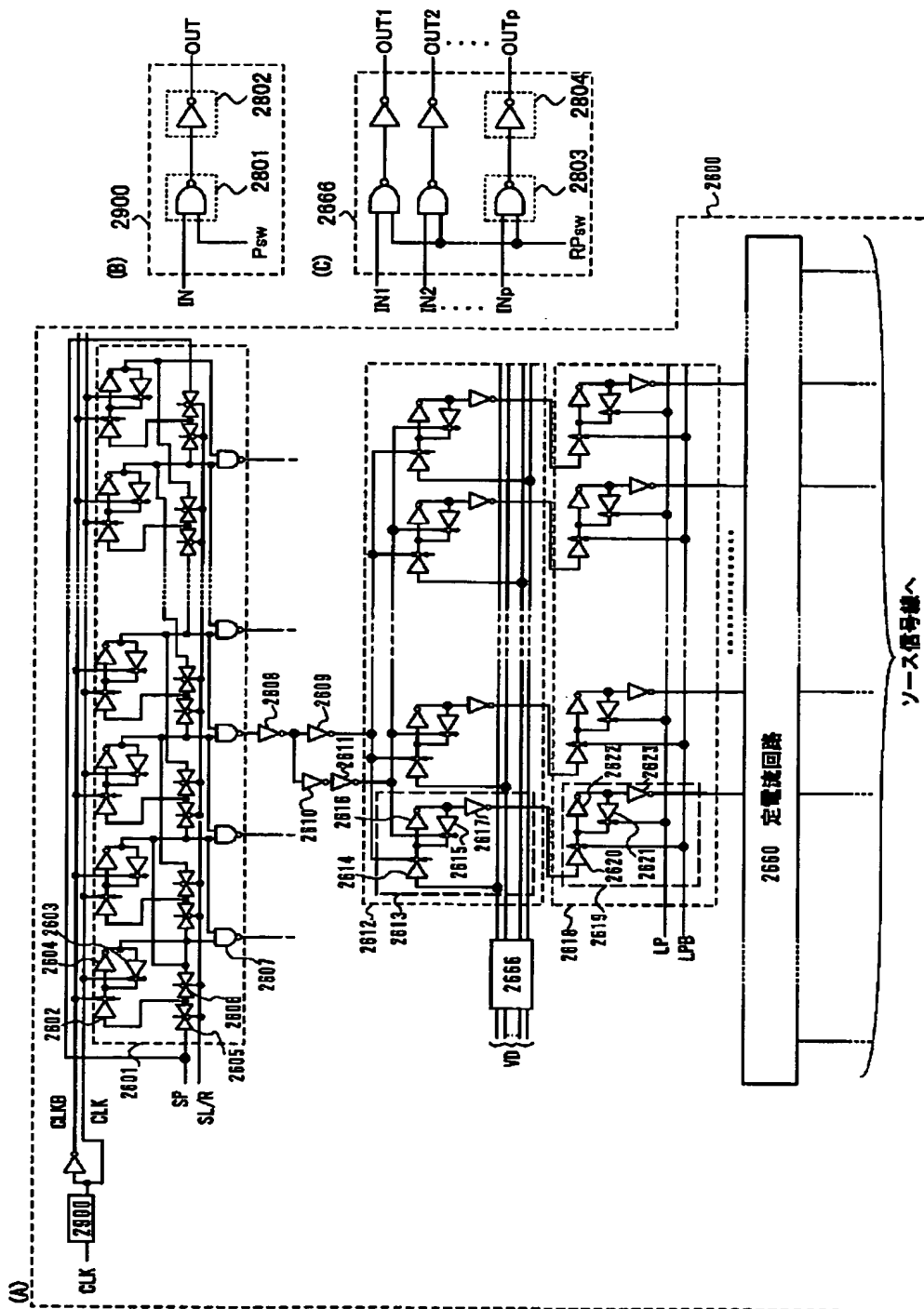


【図 10】

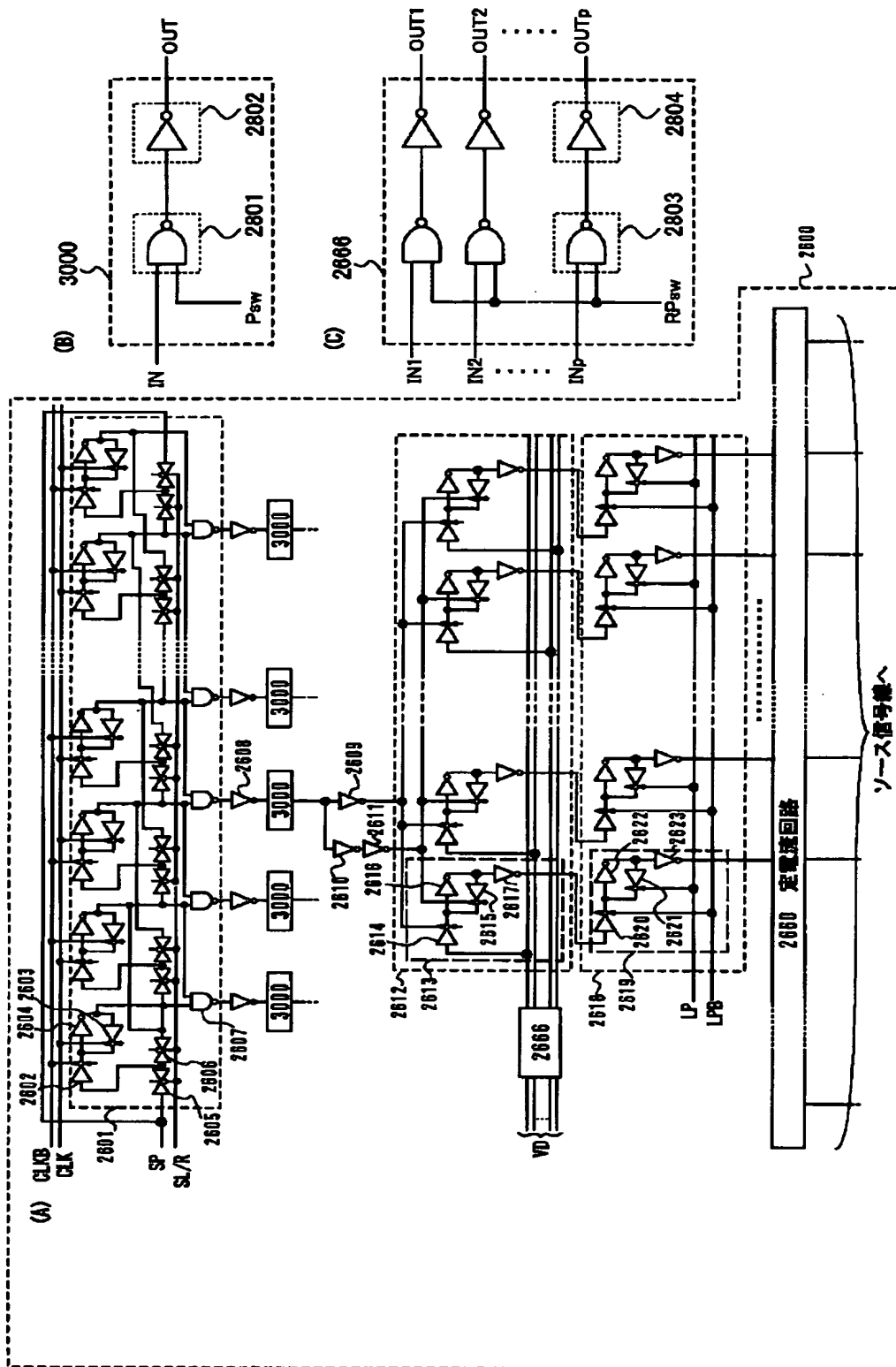


BEST AVAILABLE COPY

【図11】



【図12】



The diagram illustrates the timing of packet transmission across two frames, F1 and F2. Frame F1 contains segments SF1, SF2, ..., SFj, ..., SFn-1, SFn. Frame F2 contains segments SF1, SF2, ..., SFj, ..., SFn-1, SFn. Below the frames, the timing of various signals is shown. The signals Taa\_j and Ts\_j are shown as horizontal bars spanning the duration of the frames. The signals Vs and Va are shown as horizontal bars spanning the duration of the frames. The signals G1, G2, ..., Gk, ..., Gy-1, Gy are shown as horizontal bars spanning the duration of the frames. A '遅延期間' (delay period) is indicated between Gy and the start of the next frame. The diagram also shows a sequence of segments S1, S2, ..., Sx-2, Sx-1, Sx, followed by another '遅延期間' and then 'LP'.

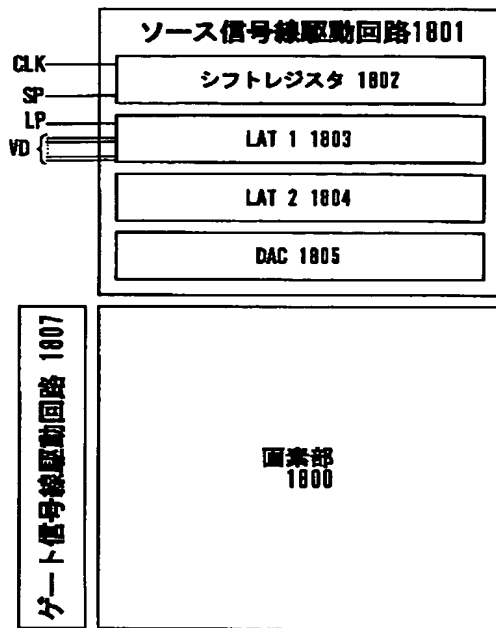
Figure 1 consists of two parts, (A) and (B), illustrating the synchronization of the SF and G signals.

(A) Waveform diagram showing the relationship between F1, F2, SF, G, S, and LP signals. The top two rows show F1 and F2 signals. The third row shows the SF signal, which is a sequence of pulses labeled SF1, SF2, ..., SFj, ..., SFn-1, SFn. The fourth row shows the G signal, which is a sequence of pulses labeled G1, G2, ..., Gk, ..., Gy. The fifth row shows the S signal, which is a sequence of pulses labeled S1, S2, ..., Sx. The sixth row shows the LP signal, which is a single pulse. The diagram indicates that the G signal is synchronized with the SF signal, and the S signal is synchronized with the G signal. The LP signal is shown as a single pulse at the end of the sequence.

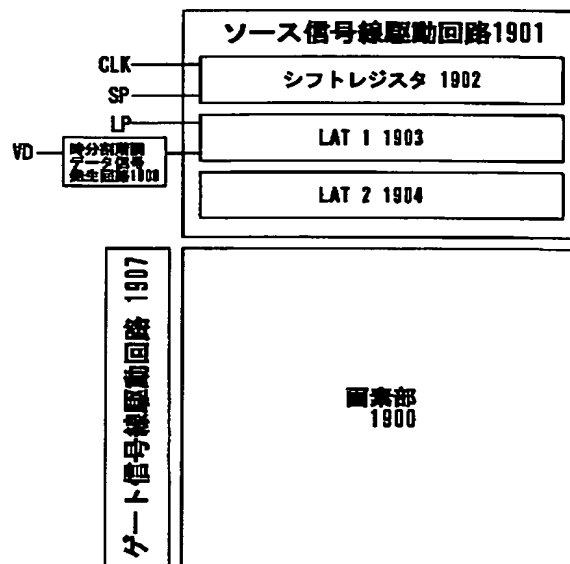
(B) Timing diagram showing the synchronization of the G signal with the SF signal. The diagram shows the timing of the G signal (G1, G2, ..., Gy) relative to the SF signal (SFj). The G signal is shown as a sequence of pulses, and the SF signal is shown as a single pulse. The diagram indicates that the G signal is synchronized with the SF signal, and the timing of the G signal is determined by the timing of the SF signal.

$I_d$   
 $V_{gs}$   
 $V_{gs} < V_{th}$   
 $V_{th} \leq V_{gs} \leq V_{ds}$   
 $V_{gs} > V_{ds}$   
 デジタル方式      アナログ方式      デジタル方式  
 飽和領域      線形領域

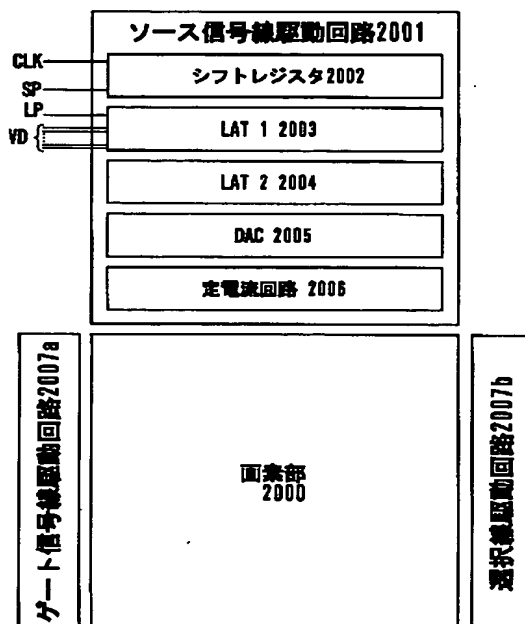
【図 18】



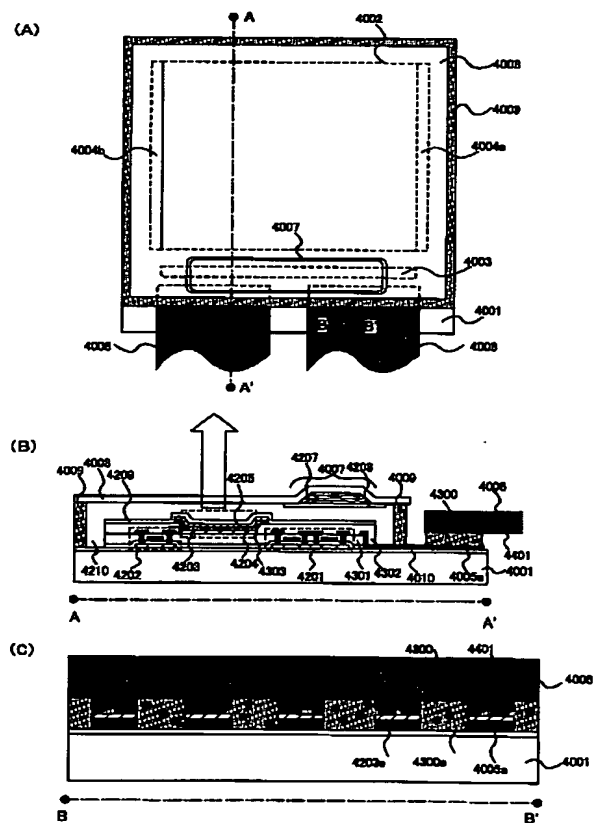
【図 19】



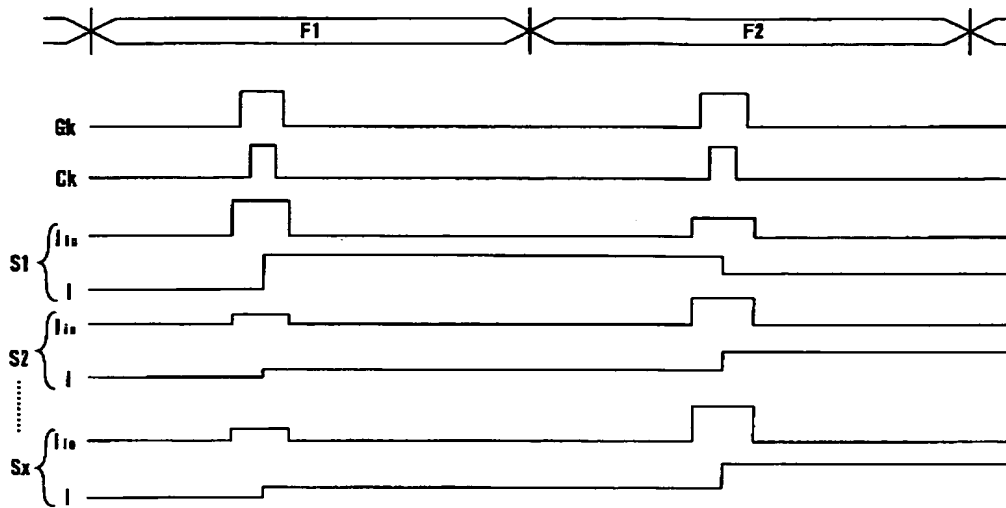
【図 20】



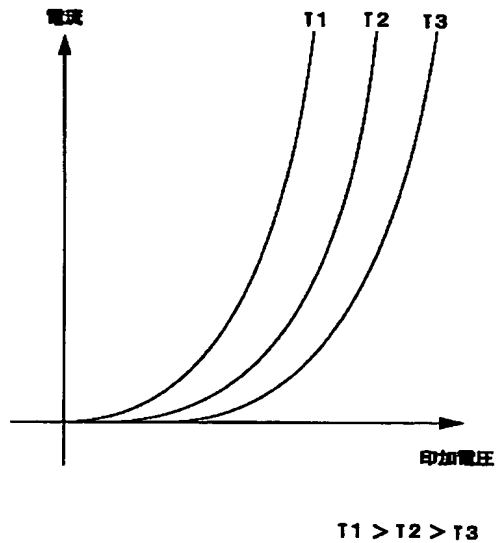
【図 22】



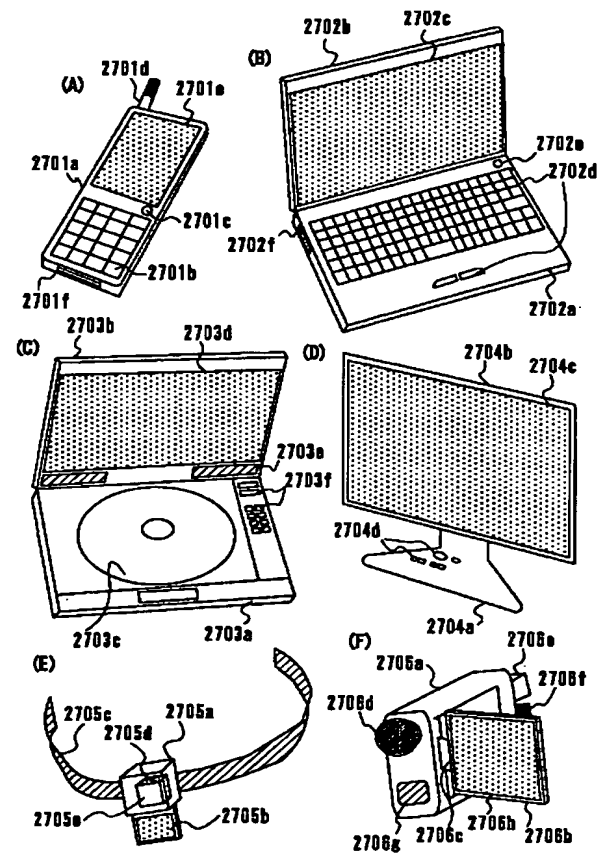
【図 21】



【図 26】

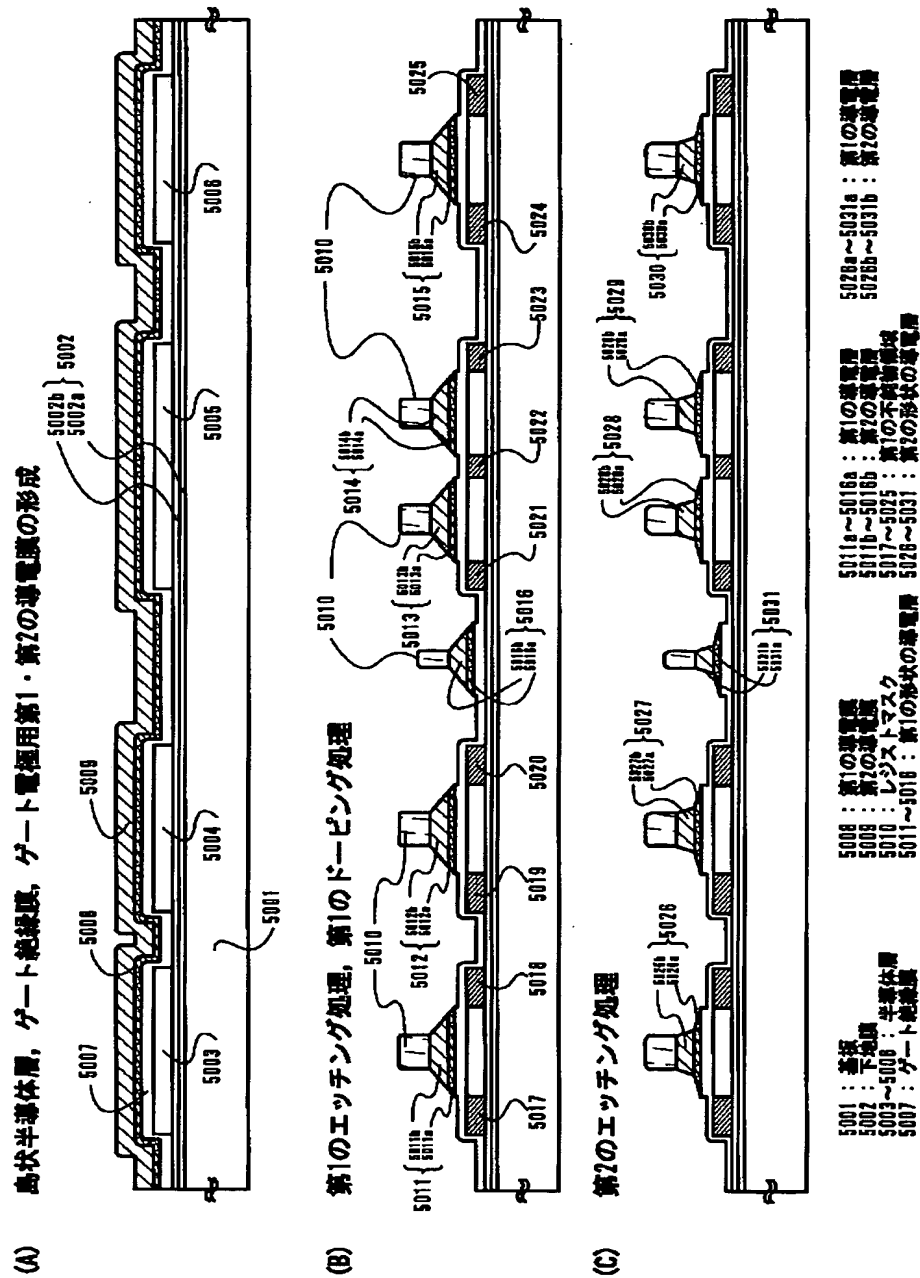


【図 27】

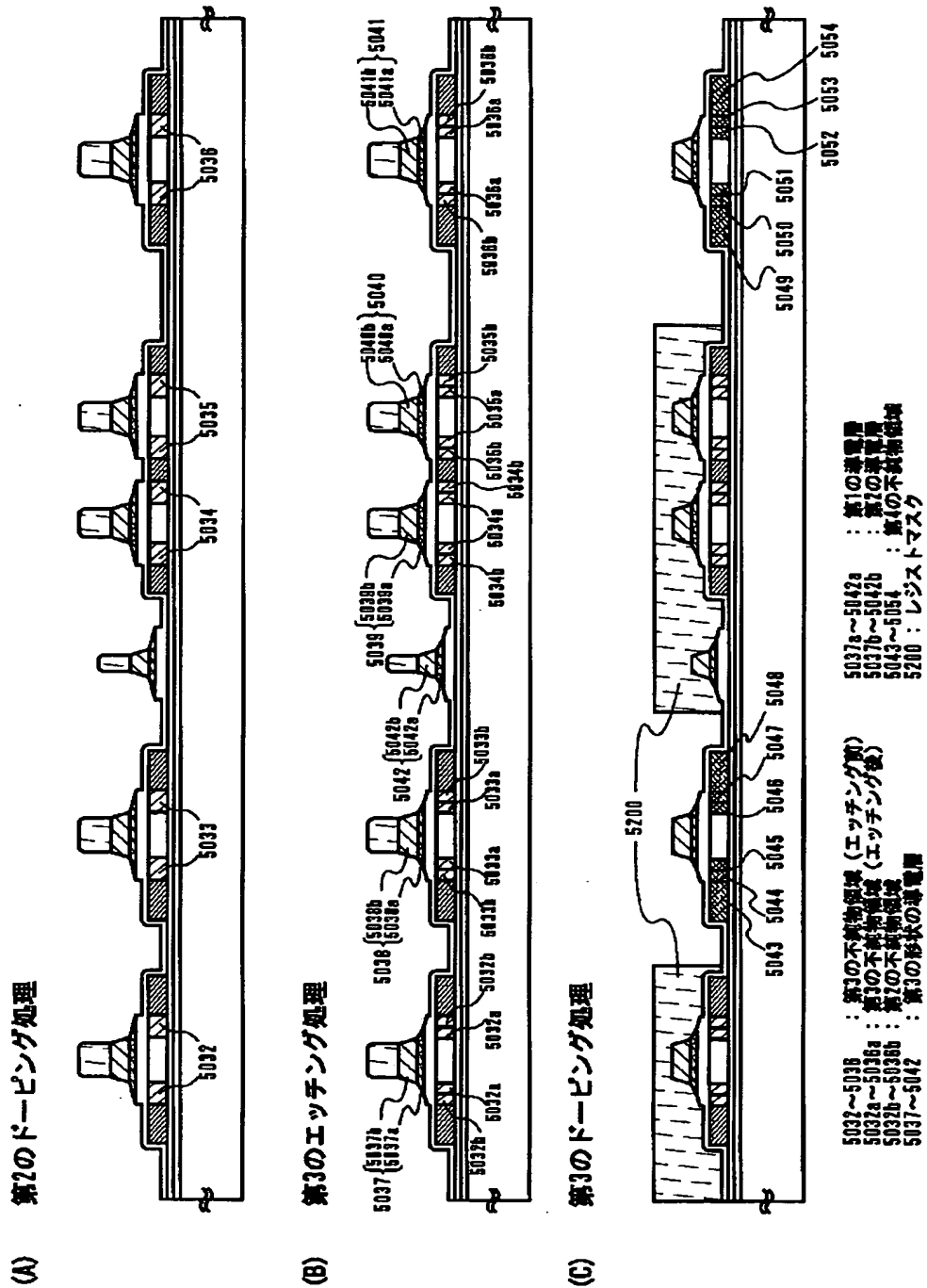


BEST AVAILABLE COPY

【図23】

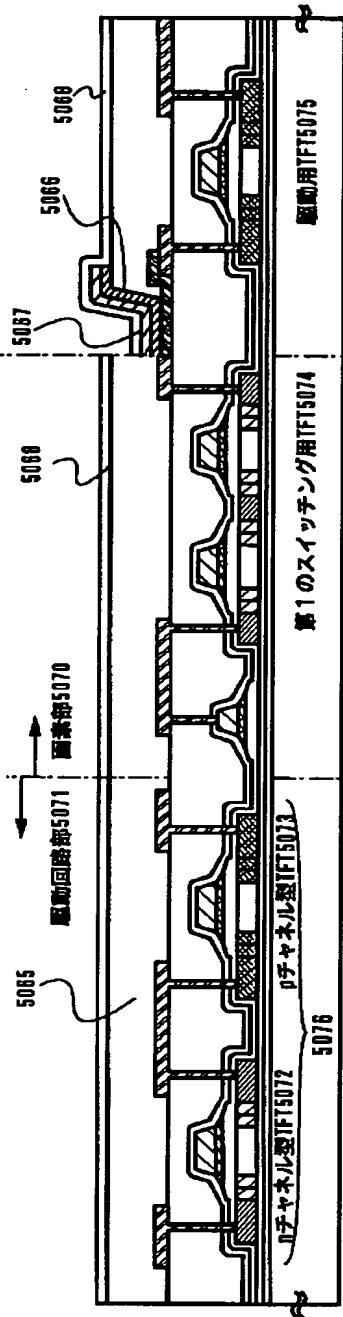


【図24】



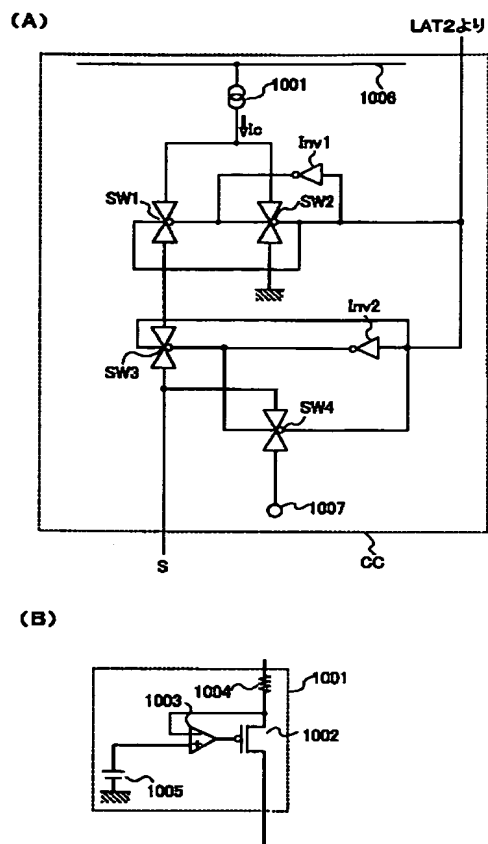


(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成



5055 : 第1の層間結核菌  
5056 : 第2の層間結核菌  
5057~5062, 5064 : 核膜組織  
5063 : 面層電層  
5065 : 第3の層間結核菌  
5066 : 有機化合物層  
5067 : 核層  
5068 : パッシベーション膜

【図 29】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H 0 5 B 33/14

識別記号

F I  
H 0 5 B 33/14

テーマコード(参考)  
A